

## Práctica 7. Implementación de un filtro de media móvil de orden 4.

### 1. Introducción.

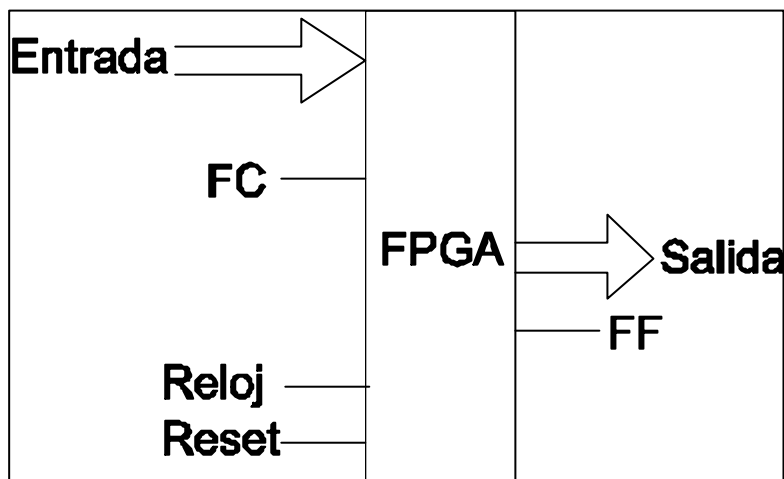
Además de las típicas aplicaciones de diseño para control de dispositivos, las FPGA poseen unas características que también las hacen apropiadas para el cálculo matemático en aplicaciones de procesado digital de la señal.

Esta sesión pretende mostrar cómo es posible diseñar un filtro con herramientas de procesado como Matlab®, generar el fichero de estímulos que empleará el simulador VHDL, implementar el diseño y generar el fichero de resultados para posteriormente poder visualizar en Matlab los resultados generados.

### 2. Objetivo de la práctica.

Un filtro de media móvil de orden 4 consiste en un filtrado de la señal consistente en la realización de la media aritmética entre la muestra actual y las tres muestras anteriores. Las señales a filtrar provienen de un convertor A/D de 10 bits. Cada vez que se tiene una nueva muestra para filtrar, se activa una salida del A/D (entrada a la FPGA) de “Fin de conversión” (FC).

Cada vez que se realice el cálculo del filtrado de una muestra nueva, el resultado se saca por la FPGA y se activa una señal de “Fin de filtrado” (FF) que permanece activa hasta que se comienza el nuevo proceso de cálculo del filtrado para una nueva muestra de entrada.



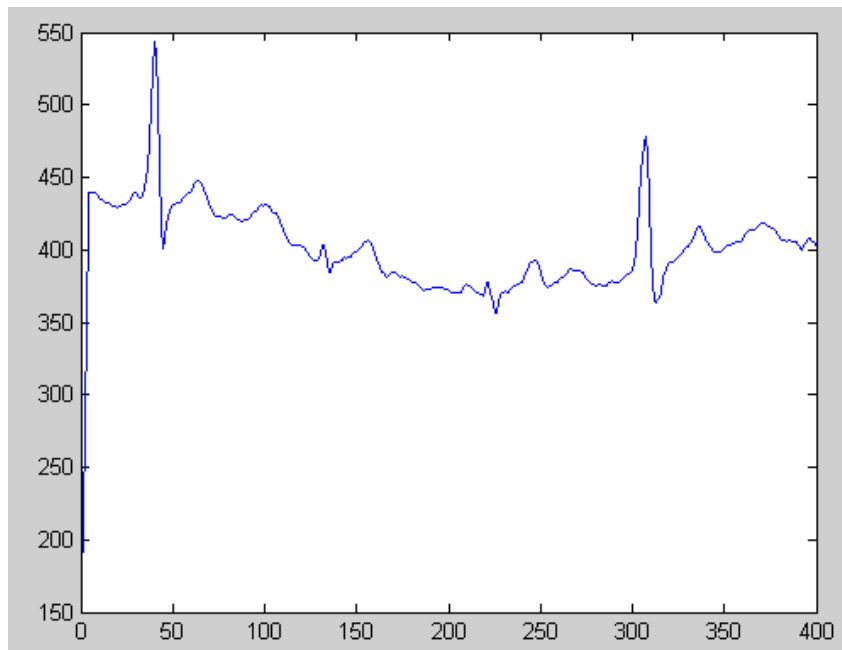
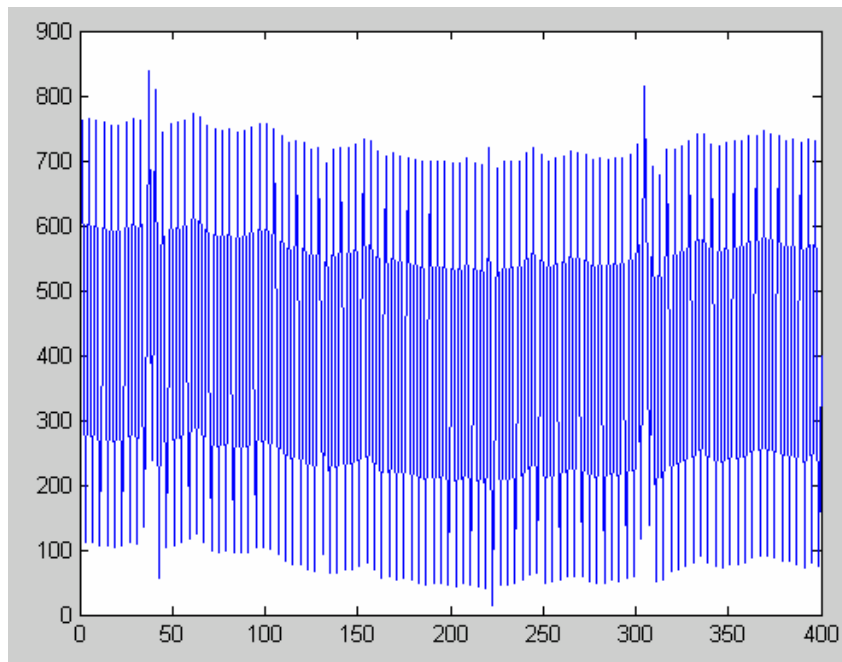
Utiliza una FPGA Spartan III y determina la máxima frecuencia de muestreo que podría tener el convertor A/D para que a la FPGA le diese tiempo suficiente para realizar el cálculo del filtro.

Determina la frecuencia de reloj necesaria para que el filtro acepte señales de un convertor con una frecuencia de muestreo de 1 MHz.

### 2.1. Pasos a seguir.

Los pasos a seguir son los siguientes:

1. Diseñar el sistema y realizar una simulación sencilla mediante un banco de pruebas con estímulos predefinidos por vosotros.
2. Una vez comprobado que el sistema realiza correctamente la operación de filtrado, modificar el banco de pruebas para que los estímulos sean leídos desde el fichero "**prac7\_in.txt**" con 1000 muestras proporcionado. Este fichero contiene una sola columna donde se encuentran todas las muestras en formato de números enteros de la señal a filtrar correspondientes a una señal cardiaca (ECG) contaminada con ruido (ver figura).
3. Los resultados de la simulación se deben escribir del mismo modo en un fichero de texto con el mismo formato.
4. El fichero de resultados debe ser leído en Matlab para representar en una gráfica los resultados obtenidos (ver figura).



Señales original y filtrada (400 primeras muestras del fichero).

### 3. Documentación a entregar.

En las dos semanas siguientes a la realización de la práctica, se entregará un pequeño dossier que incluya la descripción del proceso de diseño, el código VHDL del diseño propuesto, los resultados de la simulación (ficheros), los resultados de la implementación (lógica necesaria, es decir, CLB ocupados, cuestiones planteadas en el apartado 2, figura de Matlab con el resultado de la señal filtrada y aquellos datos que se consideren relevantes en el diseño, así como la opinión personal acerca de la práctica realizada y dificultades encontradas en el desarrollo de la misma.