

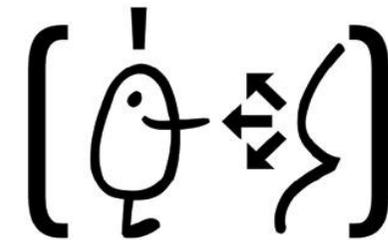
Juan Manuel Orduña Huertas

Fundamentos de computadores II



VNIVERSITAT
DE VALÈNCIA

Escola Tècnica Superior
d'Enginyeria **ETSE-UV** 



VICERECTORAT
DE PARTICIPACIÓ
I PROJECCIÓ
TERRITORIAL

Universitat i Societat

CULLERA



Fundamentos de computadores

1. Sistemas de numeración
- 2. Circuitos combinatoriales y secuenciales**
3. Estructura de computadores



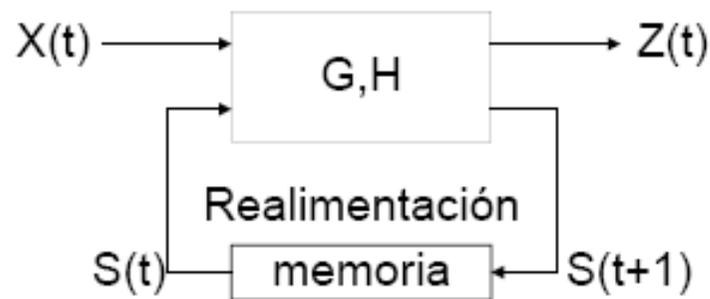
Sección 2. Circuitos combinacionales y secuenciales

1. Álgebra de Boole
2. Circuitos combinacionales
3. **Circuitos secuenciales**

Circuitos Secuenciales: concepto de estado

- En los sistemas secuenciales la salida Z en un determinado instante de tiempo t_i depende de X en ese mismo instante de tiempo t_i y en todos los instantes temporales anteriores. Para ello es necesario que el sistema disponga de elementos de **memoria** que le permitan recordar la situación en que se encuentra (estado).

$$\begin{cases} Z(t) = G(X(t), S(t)) & G: \text{función de salida} \\ S(t+1) = H(X(t), S(t)) & H: \text{función de transición} \end{cases}$$



$X(t)$: entrada actual

$Z(t)$: salida actual

$S(t)$: estado actual

$S(t+1)$: estado próximo

Concepto de realimentación

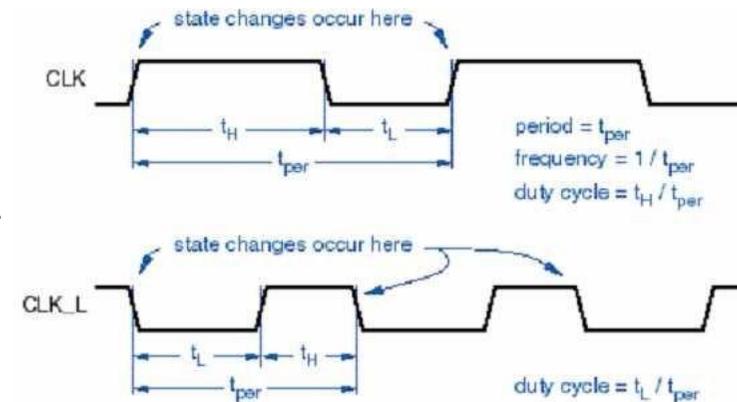
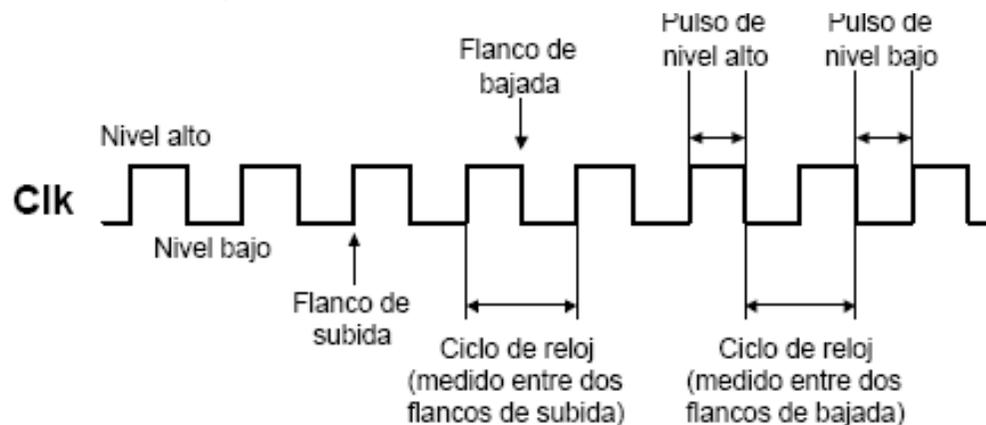
- Un sistema secuencial dispone de **elementos de memoria** cuyo contenido puede cambiar a lo largo del tiempo.
 - El **estado** de un sistema secuencial viene dado por el contenido de sus elementos de memoria.
 - La salida en un instante concreto viene dada por la entrada y por el estado anterior del sistema.
 - El estado actual del sistema, junto con la entrada, determinará el estado en el instante siguiente >> **realimentación**.
-

Concepto de sincronismo

- Existen **dos tipos de sistemas secuenciales**: asíncronos y síncronos.
 - Los **asíncronos** son sistemas secuenciales que pueden cambiar de estado en cualquier instante de tiempo en función de cambios en las señales de entrada.
 - Son más frecuentes en la vida real.
 - Existen métodos específicos para diseñar sistemas asíncronos
 - Los **síncronos** son sistemas secuenciales que sólo pueden cambiar de estado en determinados instantes de tiempo, es decir, están “sincronizados” con una señal que marca dichos instantes y que se conoce como **señal de reloj (Clk)**.
 - El sistema sólo hace caso de las entradas en los instantes de sincronismo.
 - Son más fáciles de diseñar.
-

Circuitos Secuenciales

- Propiedades de la señal de reloj
 - Normalmente se suelen utilizar dispositivos síncronos cuyos cambios de estado se rigen por la señal de reloj



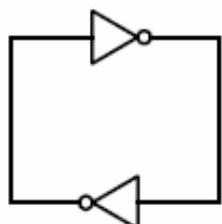
- Tipos de sincronismo:
 - Sincronismo por nivel (alto o bajo): el sistema hace caso de las entradas mientras el reloj esté en el nivel activo (alto o bajo).
 - Sincronismo por flanco (de subida o de bajada): el sistema hace caso de las entradas y evoluciona justo cuando se produce el flanco activo (de subida o de bajada).

Concepto de biestable

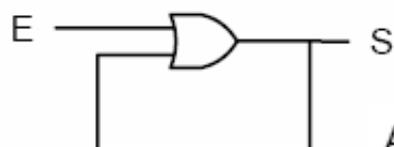
Un **biestable** es un dispositivo capaz de almacenar un bit (H ó L).

Principio de funcionamiento de un biestable: Utilizando realimentación entre puertas se puede mantener (*almacenar*) un valor estable hasta que cambien las condiciones de entrada.

Ejemplos:



Estas dos puertas NOT mantienen un valor estable (no puede modificarse porque no hay entradas)



$$S(t+1) = S(t) \cdot E$$

Al poner E a 1, S valdrá 1 (ese 1 ya no se puede borrar)

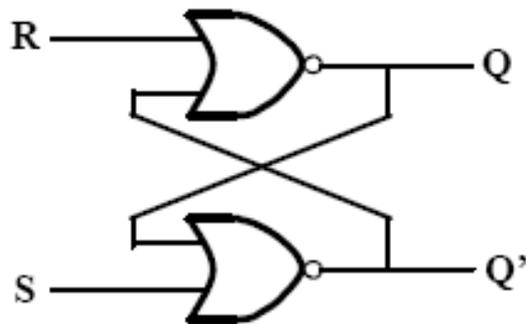
Tabla de excitación de un biestable

Muestra las entradas que hay que introducir en un biestable para gobernar sus transiciones entre estados.

Estado actual	Estado siguiente	Entradas			
		X0	X1	...	Xn
Si	Sj	V0	V1	...	Vn
⋮	⋮				
⋮	⋮				
⋮	⋮				

Latches S-R (SET-RESET)

- Biestable S-R con entradas activas a nivel ALTO con puertas NOR



Ecuación característica

$$Q(t+1) = S + R'Q(t)$$

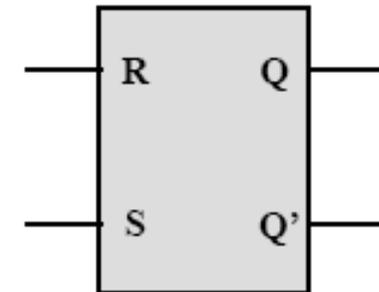
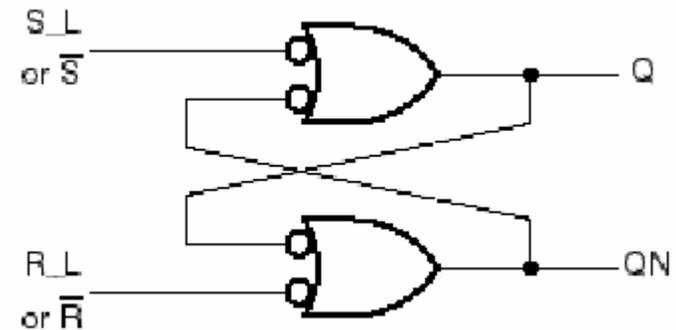
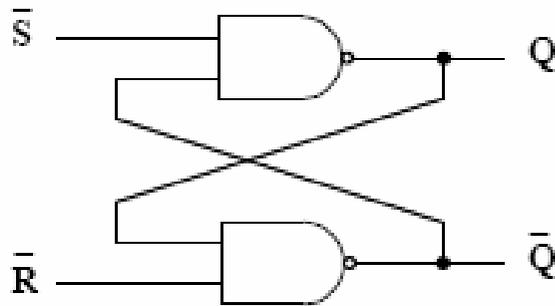


Tabla de verdad

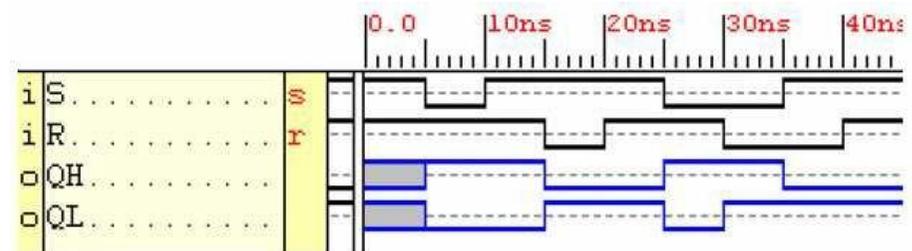
R	S	Q(t+1)	Q'(t+1)	Función
0	0	Q(t)	Q'(t)	Mantiene Q(t)
1	0	0	1	Reset
0	1	1	0	Set
1	1	--	--	Prohibida

Latches \overline{S} - \overline{R} (SET-RESET)

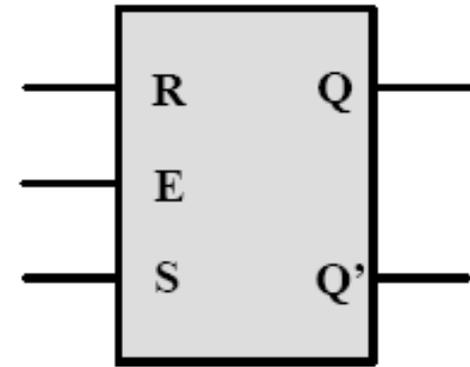
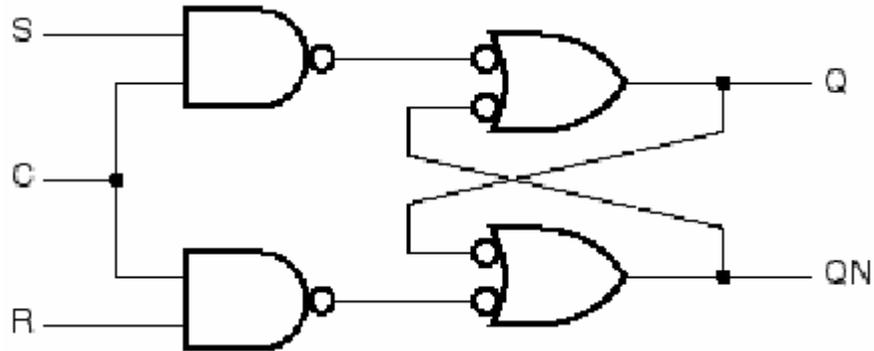
- Biestable S-R con entradas activas a nivel BAJO con puertas NAND



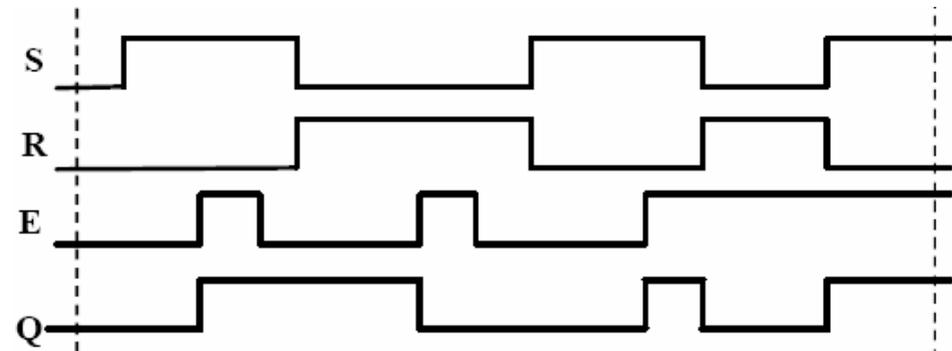
R'	S'	$Q(t+1)$	$Q'(t+1)$	Función
1	1	$Q(t)$	$Q'(t)$	Mantiene $Q(t)$
0	1	0	1	Reset
1	0	1	0	Set
0	0	--	--	Prohibida



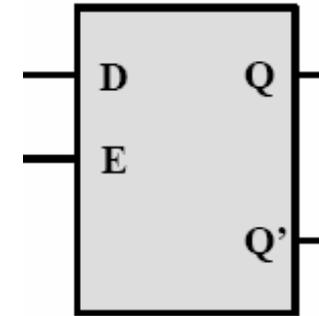
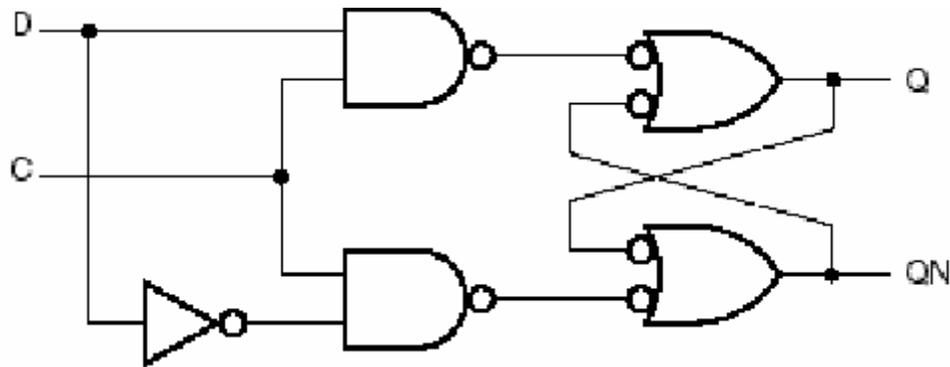
Latch S-R con entrada de habilitación



E	R	S	Q(t+1)	Q'(t+1)	Función
0	X	X	Q(t)	Q'(t)	Mantiene Q(t)
1	0	0	Q(t)	Q'(t)	Mantiene Q(t)
1	0	1	1	0	Set
1	1	0	0	1	Reset
1	1	1	--	--	Prohibida



Latch D con entrada de habilitación



E	D	Q(t+1)	Q'(t+1)	Función
0	X	Q(t)	Q'(t)	Mantiene Q(t)
1	0	0	1	Reset
1	1	1	0	Set

Ecuación característica

$$Q(t+1) = D$$

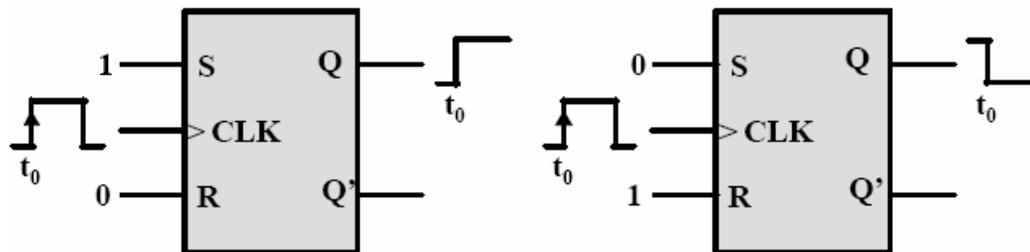
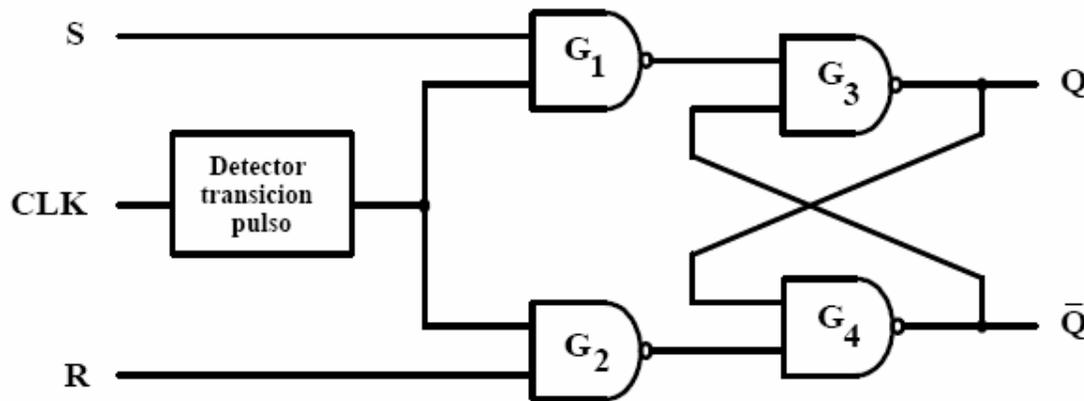
Flip-Flops

Los sistemas secuenciales asíncronos presentan el inconveniente de que los retardos de las puertas lógicas pueden provocar estados transitorios difíciles de prever, llamados “glitches” que son memorizados en los biestables del sistema.

La solución a dicho problema es hacer receptivos los biestables únicamente en determinados intervalos de tiempo en los que se puede asegurar que no se producen situaciones críticas.

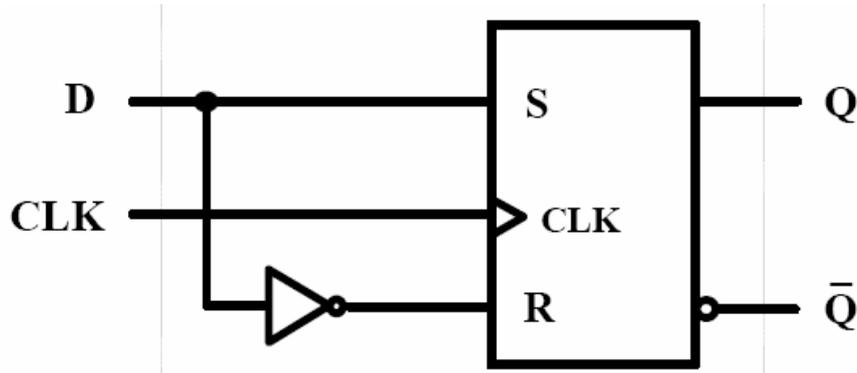
Para ello se incluye en el diseño de los biestables una señal externa de reloj.

Flip-Flop S-R disparado por flanco

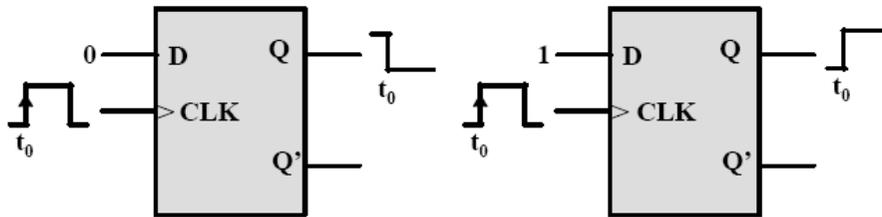


CLK	S	R	$Q(t+1)$	$Q'(t+1)$	Función
X	0	0	$Q(t)$	$Q'(t)$	Mantiene $Q(t)$
↑	0	1	0	1	Reset
↑	1	0	1	0	Set
↑	1	1	--	--	Prohibida

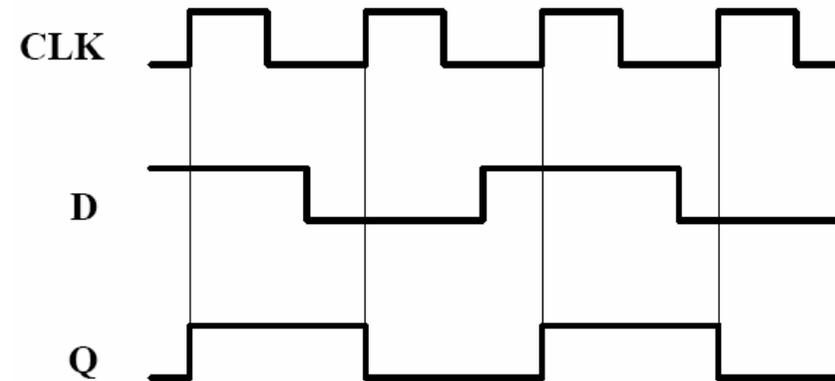
Flip-Flop D disparado por flanco de subida



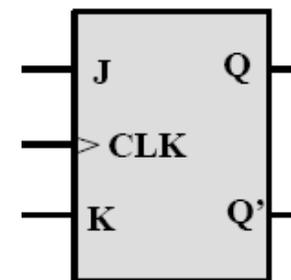
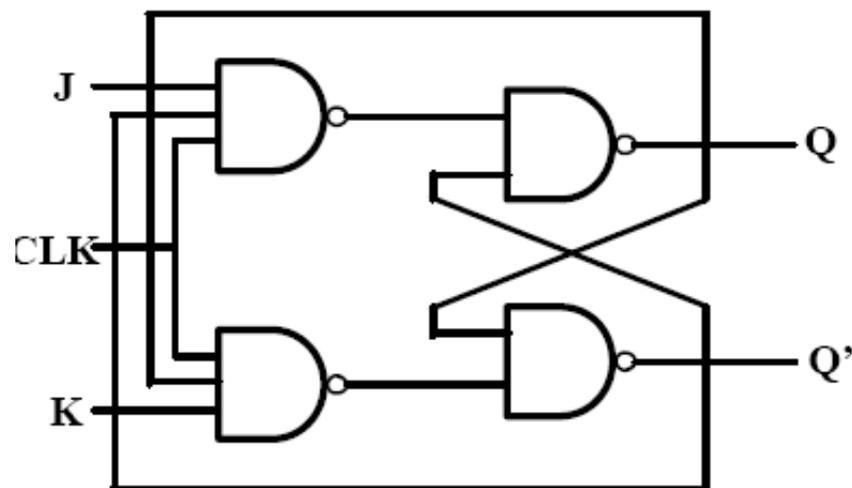
El diagrama lógico es el de un flip-flop S-R con habilitación, añadiendo un inversor.



CLK	D	Q(t+1)	Q'(t+1)	Función
↑	0	0	1	Reset
↑	1	1	0	Set

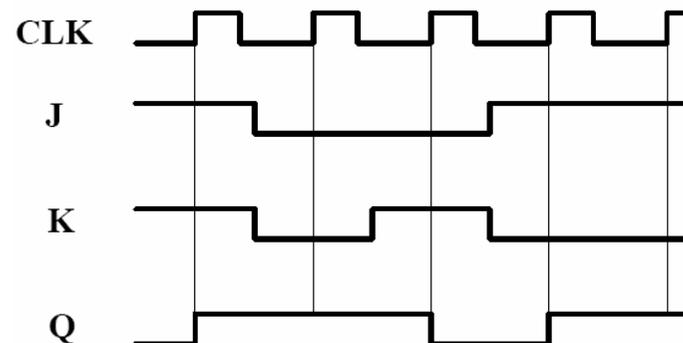


Flip-Flop J-K disparado por flanco



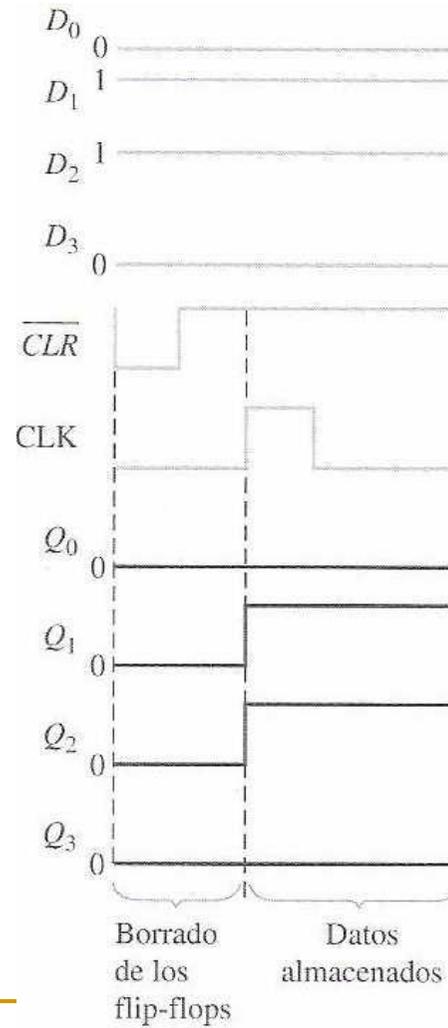
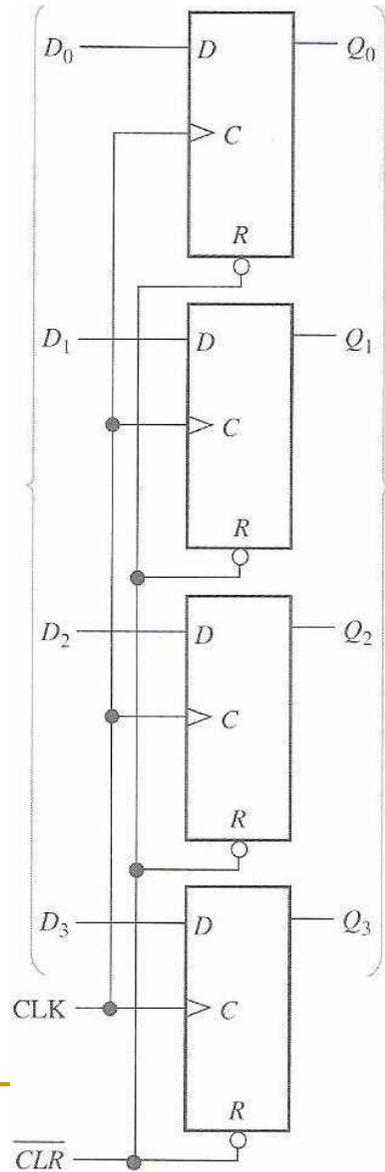
$$Q(t+1) = JQ'(t) + K'Q(t)$$

CLK	J	K	Q(t+1)	Q'(t+1)	Función
X	0	0	Q(t)	Q'(t)	Mantiene Q(t)
↑	0	1	0	1	Reset
↑	1	0	1	0	Set
↑	1	1	Q'(t)	Q(t)	Basculación

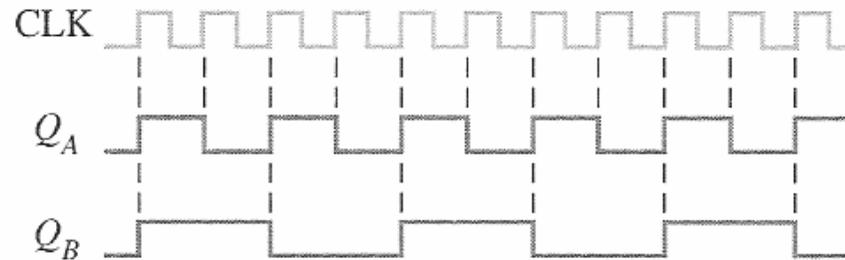
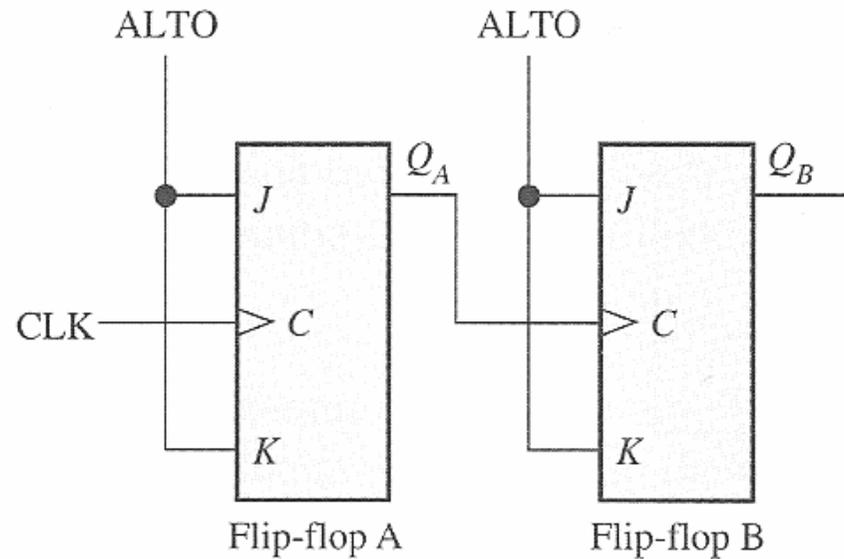


Aplicaciones de los Flip-Flops:

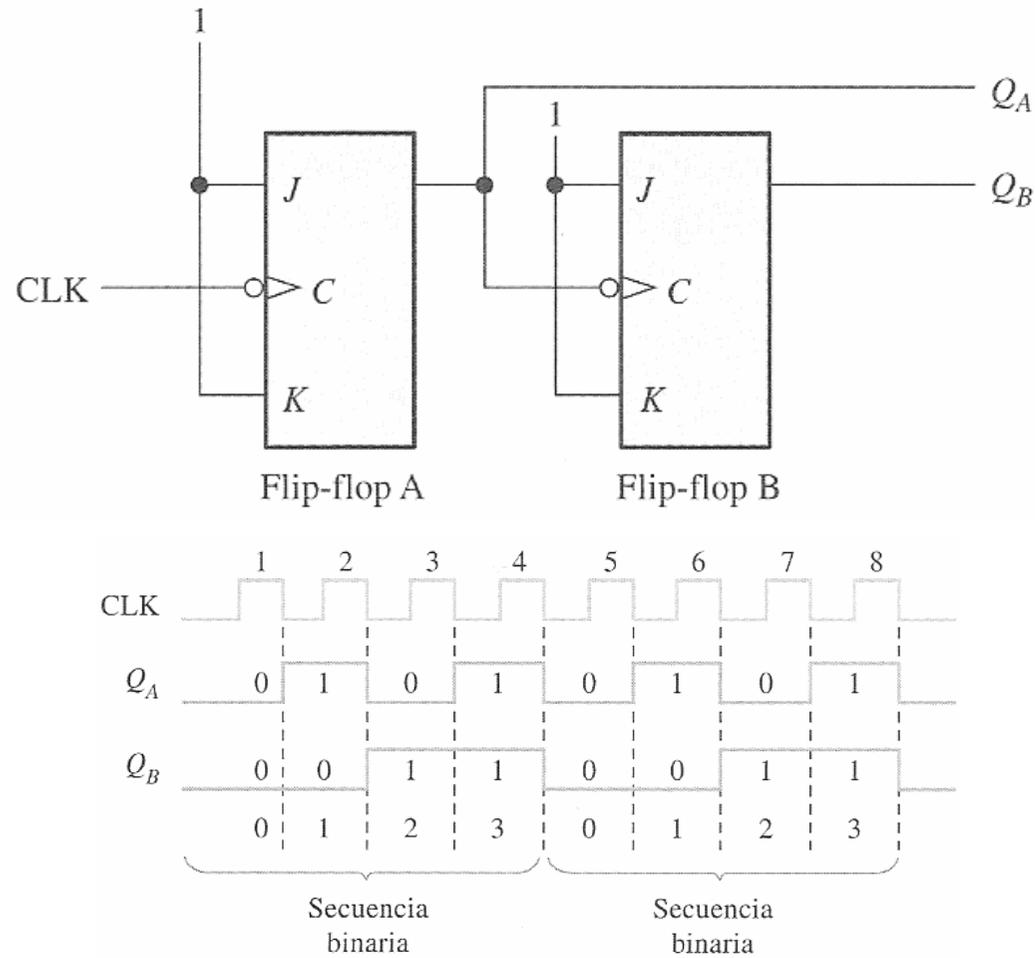
Almacenamiento



Aplicaciones de los Flip-Flops: Divisor de frecuencia



Aplicaciones de los Flip-Flops: Contador



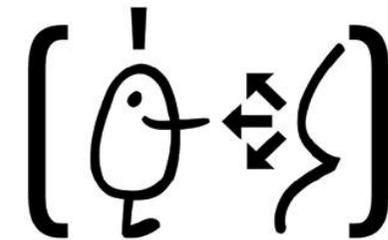
Juan Manuel Orduña Huertas

Fundamentos de computadores II



VNIVERSITAT
DE VALÈNCIA

Escola Tècnica Superior
d'Enginyeria **ETSE-UV** 



VICERECTORAT
DE PARTICIPACIÓ
I PROJECCIÓ
TERRITORIAL

Universitat i Societat

CULLERA