

PRÁCTICA 1. DISEÑO DIGITAL CMOS. MICROWIND2.

1. Introducción.

En esta práctica se pretende introducir al alumno en el manejo de Microwind, permitiendo la familiarización con las opciones del programa así como el análisis de los resultados obtenidos para diseños sencillos. De este modo, el alumno podrá desarrollar los problemas de diseño propuestos empleando la herramienta de la forma más apropiada.

Como requisitos previos, el alumno debe estar familiarizado con el diseño lógico a nivel de transistor, siendo capaz de plantear el esquema a nivel de redes de transistores nMOS y pMOS de circuitos lógicos digitales simples.

El material necesario para el desarrollo de la práctica consiste esencialmente en el presente guión de prácticas, el apéndice adjunto correspondiente a una breve descripción de las opciones del programa, y el ordenador PC con Microwind instalado. En caso de que no se especifique lo contrario, se empleará una tecnología de 0.25µm (micras). Todos los diseños realizados deben superar correctamente el test DRC (Design Rules Check) para cumplir las normas de diseño.

2. Objetivos.

En esta primera práctica se desarrollan pequeños diseños lógicos a nivel de transistor que emplean las técnicas más habituales en la implementación de redes de transistores.

NOTA: Si el diseño requiere de una señal y su negada, o sólo de su negada, utilizar siempre el circuito de transistores que implementa dicha señal, NO usar una señal del simulador como “emulación” de la señal negada.

3. Primer apartado.

Realizar el layout de un inversor con tamaño estándar de los transistores pMOS y nMOS, simular su funcionamiento para una señal entrada de 1GHz. *Describir el resultado obtenido en la salida. ¿Cuál es velocidad máxima a la que podría funcionar el circuito?.*

4. Segundo apartado.

Obtener el diagrama a nivel de transistor de un multiplexor de un bit y una entrada de selección de datos.

- 2.1. Empleando un circuito combinacional simple.
- 2.2. Mediante circuitos de transmisión.

Verifica su funcionamiento. *Anota los retardos obtenidos para una señal de entrada de selección de 5GHz y compara el nivel de ocupación de silicio para los apartados 2.1 y 2.2.*

5. Tercer apartado.

Utilizando el diseño anterior del multiplexor y añadiendo algún elemento más, obtener una puerta EXOR.

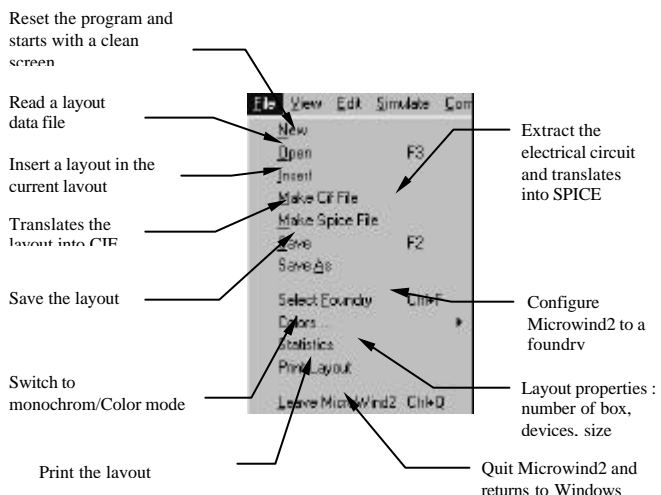
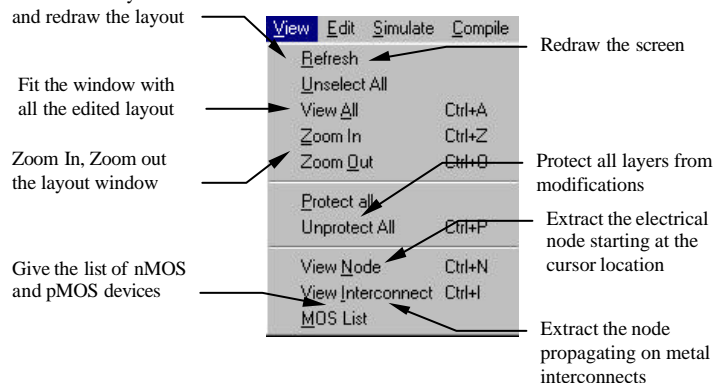
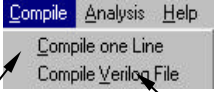
6. Documentación a entregar.

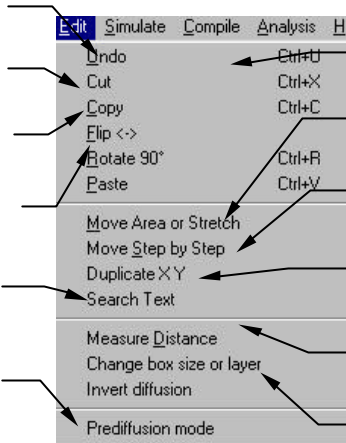
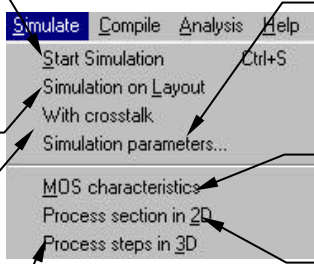
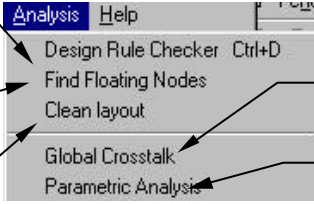

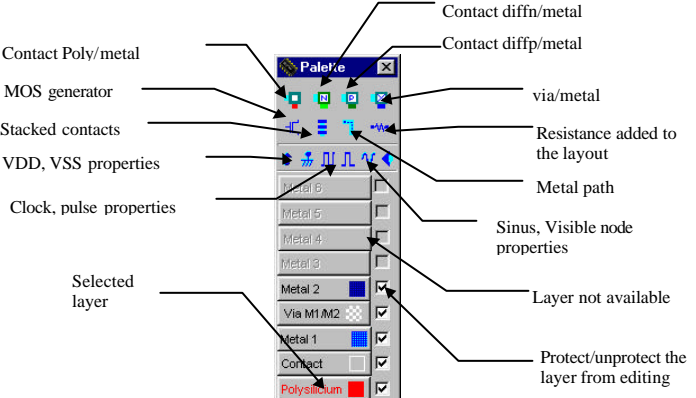
En la siguiente sesión de laboratorio se entregará un pequeño dossier que responda a las cuestiones planteadas en los apartados anteriores, la opinión personal acerca de la práctica realizada y dificultades encontradas en el desarrollo de la misma así como en el manejo del programa Microwind2.

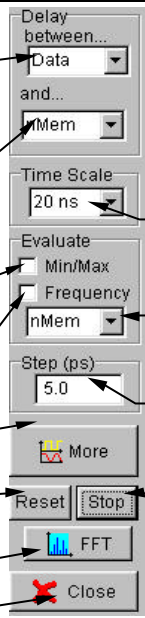
C

Quick Reference Sheet




















1. Microwind2 Menus

<p>FILE MENU</p>	 <p>Reset the program and starts with a clean screen</p> <p>Read a layout data file</p> <p>Insert a layout in the current layout</p> <p>Translates the layout into CIF</p> <p>Save the layout</p> <p>Switch to monochrom/Color mode</p> <p>Print the layout</p> <p>Extract the electrical circuit and translates into SPICE</p> <p>Configure Microwind2 to a foundry</p> <p>Layout properties : number of box, devices, size</p> <p>Quit Microwind2 and returns to Windows</p>
<p>VIEW MENU</p>	 <p>Unselect all layers and redraw the layout</p> <p>Fit the window with all the edited layout</p> <p>Zoom In, Zoom out the layout window</p> <p>Give the list of nMOS and pMOS devices</p> <p>Redraw the screen</p> <p>Protect all layers from modifications</p> <p>Extract the electrical node starting at the cursor location</p> <p>Extract the node propagating on metal interconnects</p>
<p>COMPILE MENU</p>	 <p>Compile one single line (on-line)</p> <p>Compile a Verilog file generated by DSCH2</p>

<p>EDIT MENU</p>	<p>Cancel last editing command</p> <p>Cut elements included in an area</p> <p>Duplicate elements included in an area</p> <p>Flip or rotate elements included in an area</p> <p>Search a text label in the label list</p> <p>In prediffusion mode, only metal layers can be edited</p>  <p>Redraw the screen</p> <p>Move elements included in an area or stretch the selected box border</p> <p>Move step by step a selection of elements</p> <p>Duplicate in X and Y a selection of elements</p> <p>Measure the distance between two points in the layout</p> <p>Modify the box size or layer</p>
<p>SIMULATE MENU</p>	<p>Extract the electrical circuit and run the simulation</p> <p>Simulate directly on the layout, with a palette of colors representing voltage</p> <p>Include crosstalk effects in simulation</p> <p>View the process steps of the layout fabrication in 3D</p>  <p>Access to the SPICE model and some extraction options : layout cleaning, VDD, simulation time</p> <p>Simulate static MOS id/vd, id/vg, with access to measurements</p> <p>2D view of the circuit at the desired location</p>
<p>ANALYSIS MENU</p>	<p>Verifies the layout and highlight the design rule violations</p> <p>Gives the list of nodes not connected to diffusion layers</p> <p>Remove redundant or overlapping boxes</p>  <p>Shows the navigator menu</p> <p>Computes the effects of VDD, t°, capacitance on delay, freq, etc...</p>
<p>PALETTE</p> 	 <p>Contact Poly/metal</p> <p>MOS generator</p> <p>Stacked contacts</p> <p>VDD, VSS properties</p> <p>Clock, pulse properties</p> <p>Selected layer</p> <p>Contact diffn/metal</p> <p>Contact diffp/metal</p> <p>via/metal</p> <p>Resistance added to the layout</p> <p>Metal path</p> <p>Sinus, Visible node properties</p> <p>Layer not available</p> <p>Protect/unprotect the layer from editing</p>

<p>SIMULATOR WINDOW</p>	<p>Select the node from which the delay counter is started at each crossing of VDD/2</p>		<p>Delay between... Data</p>	
	<p>The delay counter is stopped at each crossing of VDD/2 and the delay is drawn</p>		<p>and... nMem</p>	
	<p>The minimum and maximum voltage of the selected node are displayed.</p>		<p>Time Scale 20 ns</p>	<p>Select the time scale within a list in the menu</p>
	<p>At each period of the selected node, the frequency is displayed</p>		<p>Evaluate Min/Max Frequency nMem</p>	<p>Node selected for min/max, freq and FFT calculation</p>
	<p>More simulation</p>		<p>Step (ps) 5.0</p>	<p>Set the time interval between two simulation steps.</p>
	<p>Restart simulation from time 0</p>		<p>More</p>	<p>Stop simulation.</p>
	<p>Show the FFT of the selected signal</p>		<p>Reset</p>	<p>Stop</p>
	<p>Back to the editor</p>		<p>FFT</p>	<p>Close</p>

LIST OF ICONS

	Open a layout file MSK		Extract and view the electrical node pointed by the cursor
	Save the layout file in MSK format		Extract and simulate the circuit
	Draw a box using the selected layer of the palette		Measure the distance in lambda and micron between two points
	Delete boxes or text.		2D vertical aspect of the device
	Copy boxes or text		Step by step fabrication of the layout in 3D
	Stretch or move elements		Design rule checking of the circuit. Errors are notified in the layout
	Zoom In		Add a text to the layout. The text may include simulation properties.
	Zoom Out		Chip library of contacts, MOS, metal path, 2-metal routing, pads, etc...
	View all the drawing		Static MOS characteristics
			View the palette