

Práctica 2. Implementación de descripciones síncronas en VHDL y dispositivos Xilinx: un cronómetro

1. Introducción.

En esta sesión de laboratorio se pretende realizar un diseño VHDL capaz de ser sintetizado sobre un dispositivo físico de Xilinx, aplicando descripciones del lenguaje orientadas a diseños síncronos.

Por otra parte, será necesario realizar una correcta asignación de restricciones en la implementación sobre dispositivo para permitir que las entradas y salidas definidas correspondan con las patillas existentes en el dispositivo cableadas a sus correspondientes elementos de entrada/salida.

2. Objetivo de la práctica.

Diseñar en VHDL e implementar sobre FPGA, un cronómetro digital que muestre décimas de segundo, segundos, y minutos.

Esta implementación se realiza sobre el dispositivo Spartan3 XC3S200FT256-4.

Las décimas de segundo se muestran en los LED que la placa de pruebas posee (la misma placa ya empleada en la práctica primera de Xilinx), de tal modo que se enciende un LED diferente por cada décima de segundo que pasa, realizando un efecto de desplazamiento del LED iluminado. **Nombre:** `decimas_led<9>..decimas_led<0>`. **NOTA:** Sólo existen 8 LED, con lo que los otros dos restantes se asignarán a los puntos decimales delos display de 7 segmentos.

Los segundos se muestran en los dos primeros display de 7 segmentos que están conectados a la placa. En cuanto a los minutos, éstos se muestran en el tercer y cuarto display de 7 segmentos que están conectados a la placa. Es necesario emplear el barrido de display de la práctica 1.

Se dispone de dos botones tipo pulsador, uno de inicio/paro de cuenta (**Nombre:** `ini_paro`), y otro de reset de cuenta (**Nombre:** `clear`). Suponemos que tenemos un reloj externo de frecuencia 50MHz (**Nombre:** `clock`). Existe una salida de fin de cuenta (**Nombre:** `TC`) que indica si el contador de minutos ha llegado al final (esta salida también se asociará con un punto decimal de uno de los dos display 7 segmentos no utilizados para las décimas de segundo). La representación de la salida sería:



2.1. Pasos a seguir.

El diseño es altamente modular, con lo que se recomienda hacer uso de un mismo componente en varias ocasiones.

Los pasos a seguir son los siguientes:

1. Especificar el funcionamiento del diseño. Plantear la concepción global del sistema y posteriormente desarrollar cada parte del mismo.
2. Describir los diversos módulos en VHDL.
3. Unir todos los módulos para conformar el sistema completo.
4. Generar un banco de pruebas y simular el diseño en ModelSim. Resulta aconsejable simular por separado cada módulo antes de simular el diseño completo.
5. Una vez que el diseño es correcto en simulación, asignar el patillaje de las entradas y salidas empleadas por el diseño (ver manual de referencia de la placa DIGILENT para conocer este patillaje).

Programación de dispositivos lógicos programables FPGA mediante el lenguaje VHDL

6. Sintetizar el diseño y comprobar que no hay errores de síntesis, si los hubiera, probablemente sería necesario modificar el código VHDL para que éste sea sintetizable.
7. Implementar el diseño en el dispositivo.
8. Si la implementación se realiza con éxito, descargar el programa en la placa de pruebas y chequear el correcto funcionamiento

3. Consideraciones en la implementación.

Puede ocurrir que en el proceso de implementación, además de la señal `clock`, alguna otra señal externa sea detectada como señal de reloj (en concreto, la señal inicio/paro); ello fuerza a que esta señal sea asignada obligatoriamente en una de las patillas especialmente dedicadas para el reloj. Por el contrario, en la placa disponible sólo es accesible la señal de 50 MHz como patilla de reloj, por lo que si esto ocurre, será necesario forzar a la implementación para que no asigne el resto de señal/es a patillas de reloj. Esto se consigue con la inclusión de las siguientes instrucciones dentro del código VHDL en la parte donde se declara la señal `<nombre_senial_entrada>`:

```
attribute clock_buffer: string;  
attribute clock_buffer of <nombre_senial_entrada> : signal is "ibuf";
```

donde `<nombre_senial_entrada>` es el nombre de la señal de entrada declarada en la entidad que queremos evitar que sea asignada a una patilla específica de reloj.

4. Documentación a entregar.

Se entregará un pequeño dossier que incluya la descripción del proceso de diseño, el código VHDL del diseño propuesto, los resultados de la simulación, y los resultados de la implementación (lógica necesaria \Rightarrow CLB ocupados, velocidad máxima de funcionamiento, y aquellos datos que se consideren relevantes en el diseño), así como la opinión personal acerca de la práctica realizada y dificultades encontradas en el desarrollo de la misma.