

Práctica 5. Diseño de máquinas de estados en VHDL.

1. Introducción.

Una vez conocido el entorno de diseño y la metodología a seguir en descripciones basadas en VHDL, esta sesión de laboratorio pretende profundizar en el uso del lenguaje VHDL. En este caso, analizando las descripciones de máquinas de estados.

2. Objetivo de la práctica.

Diseñar un sistema de control de accesos. Se desea controlar el acceso a una zona de alta seguridad, por lo que se requiere:

1. Conocer el número de veces que se ha entrado en el recinto.
2. Conocer quién ha entrado en el recinto.
3. Permitir el acceso al recinto si la clave introducida es la correcta.

Para ello, se tiene un sistema de teclado hexadecimal que introduce el número de tecla pulsada (del 1h al Fh).

Las entradas y salidas de que dispone el sistema son:

- a) Entrada de 4 bits para indicar la tecla pulsada.
- b) Entrada de reloj.
- c) Entrada de reset.
- d) Entrada de tecla pulsada.
- e) Salida de Activación de apertura de puerta.
- f) Salida de ERROR en el código, denegación de acceso.
- g) Salida de indicación del número de veces que el usuario A ha accedido al sistema.
- h) Salida de indicación del número de veces que el usuario B ha accedido al sistema.
- i) Salida de indicación del número de veces que el usuario C ha accedido al sistema.
- j) Salida de indicación del número de veces que el usuario D ha accedido al sistema.

Se deben leer tres pulsaciones de tecla seguidas para detectar el número de clave. Las claves asignadas a cada persona son:

- Usuario A: 22Ah
- Usuario B: 11Bh
- Usuario C: 00Ch
- Usuario D: FFDh

El indicador de número de veces que cada usuario ha accedido se incrementa indefinidamente hasta que se produce un reset del sistema (o se apaga la alimentación del circuito). Para fijar un límite, digamos que el número máximo que se puede almacenar es de 1000.

El procedimiento que se debe seguir para acceder es el siguiente:

- a) El sistema espera a recibir una indicación de tecla pulsada (esta indicación es una señal con una duración aproximada de 10 milisegundos).
- b) Si hay tecla pulsada, se recoge el valor de la tecla pulsada y se espera a que haya una nueva pulsación de tecla. Repitiendo el proceso hasta que haya tres pulsaciones de tecla.
- c) Si el tiempo entre pulsaciones de tecla es mayor de 5 segundos, se anula la captación de tecla y la pulsación se interpretará como la primera tecla de una nueva secuencia.
- d) Una vez recogidas las tres pulsaciones, se compara con las claves de usuario anteriormente descritas, si no coincide se activa la salida de ERROR, y si coincide con algún código, se incrementa el valor del contador de accesos del usuario correspondiente. En cualquiera de los dos casos, la salida estará activada un tiempo de 3 segundos para dar tiempo a visualizar la salida y antes de volver a admitir un nuevo código.

3. Tareas a realizar.

1. Diseñar el sistema, especificando velocidad de reloj del sistema y los módulos funcionales a implementar.
2. Describir el diseño. Para ello se entregará un fichero texto con la explicación del sistema.
3. Implementar el código en VHDL.
4. Simular el sistema y comprobar su correcto funcionamiento. Generar para ello un banco de pruebas.
5. Especificar una FPGA o CPLD capaz de albergar el diseño realizado sin sobredimensionar en exceso la selección del dispositivo.