

A.3. El transistor unipolar

A.3.1. Introducción

El siguiente componente que vamos a estudiar es el transistor unipolar o FET (field effect transistor). El FET de unión fue descrito por primera vez en 1952 por Shockley y se llamó FET de unión o JFET. Más adelante se desarrolló el FET de puerta aislada (insulated gate FET) o MOSFET (metal-oxide-semiconductor FET). Este ha sido el artífice de los circuitos digitales de alta velocidad y bajo consumo. Probablemente no existirían microprocesadores con las prestaciones actuales si no se hubiera desarrollado la tecnología MOS. Los avances se han sucedido y en la actualidad se dispone de transistores de metal semiconductor (MESFET) y de arseniuro de Galio (GASFET) para aplicaciones de muy alta frecuencia. De igual manera para aplicaciones de potencia nació el FET de estructura vertical o VMOS.

A.3.2. Caracterización de los transistores unipolares

A.3.2.1. El transistor JFET

El transistor unipolar está formado por una sola capa de semiconductor de tipo n sobre un sustrato de tipo p⁻. Se distingue el canal cuyo dopado es n⁻ y las conexiones al exterior, drenador y surtidor, que son material dopado de tipo n⁺. Encima del canal, que conecta drenador y surtidor, se ha difundido una capa adicional de tipo p. Las zonas dopadas tipo p se conectan conjuntamente y se llaman puerta. El drenador del JFET es equivalente al colector del BJT, el emisor al surtidor y la puerta a la base.

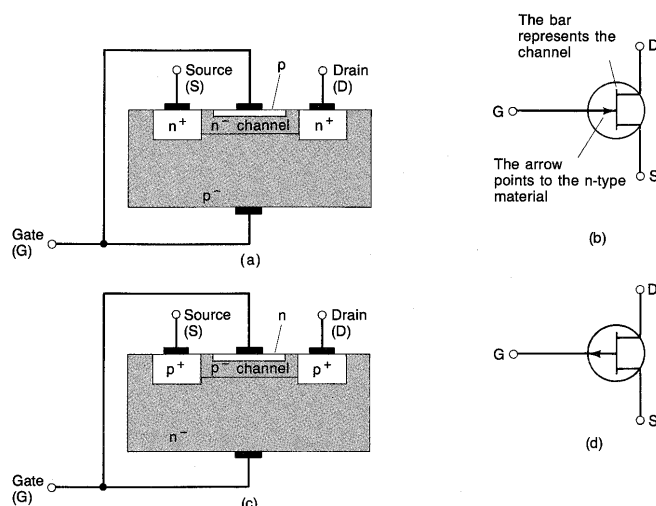


Fig. A.3.1: Transistor JFET (a) canal N y (b) su símbolo y (c) canal P y (d) su símbolo.

Su funcionamiento es algo diferente al del BJT. Como en cualquier unión p-n se forma una zona de agotamiento entre la puerta y el canal. Si ahora conectamos la puerta con el surtidor y ambas a tierra y además el drenador a una tensión positiva, obtendremos una tensión inversa aplicada entre drenador y puerta. La tensión aplicada al drenador es igual a V_{DS} . Si variamos la tensión V_{DS} , entonces variaremos el tamaño de la zona de agotamiento y con ello el grosor del canal. De esta manera se podrá controlar la conductividad del canal.

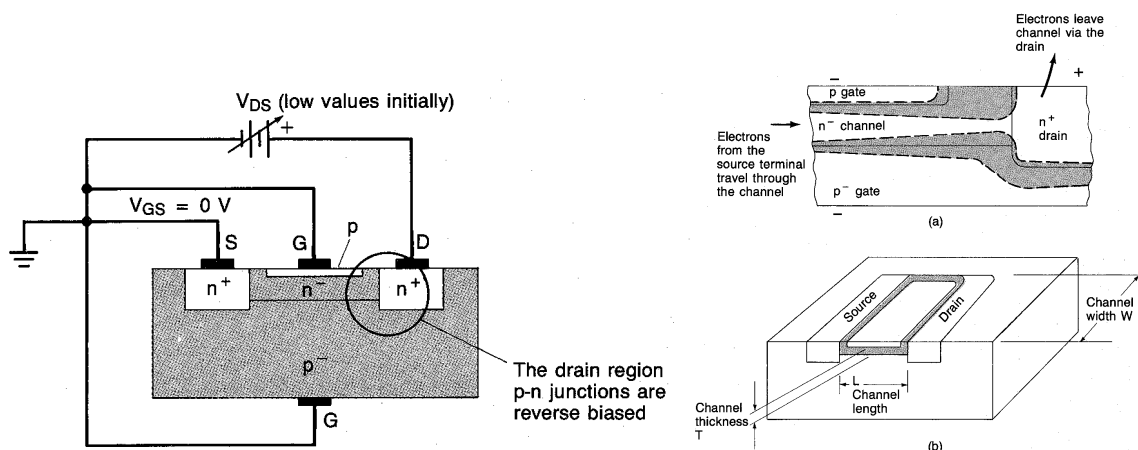


Fig. A.3.2: Funcionamiento básico del transistor JFET (izqda) polarización de un JFET canal N y (a) ampliación de la zona del drenador, (b) dimensiones del canal.

La resistencia efectiva del canal es:

$$R = \rho_c \frac{L}{WT} \tag{A.3.1}$$

Cuando no hay tensión aplicada en la puerta y la tensión de drenador es pequeña aunque ligeramente positiva (a) sólo fluye una pequeña cantidad de corriente I_D a través del canal. El valor de esta corriente viene dado por el cociente V_{DS} / R donde R se obtiene de la expresión anterior. Para estas pequeñas tensiones de polarización V_{DS} , R es prácticamente constante y, en consecuencia, la corriente varía linealmente con la tensión de drenador (zona lineal).

Por otra parte se observa un gradual aumento de la anchura de la región espacial de carga al moverse desde la fuente hacia el drenador. Ello es consecuencia del aumento progresivo de la polarización inversa de las uniones p^+-n superior e inferior a medida que nos desplazamos desde la fuente (que está a cero voltios) hasta el drenador (con V_{DS} ligeramente positiva). A medida que la polarización V_{DS} aumenta, la anchura de la región espacial de carga también aumenta y, en consecuencia, la resistencia del canal (pues la sección efectiva de éste disminuye). Como resultado final, la corriente presenta una pendiente menor (desviación del comportamiento lineal).

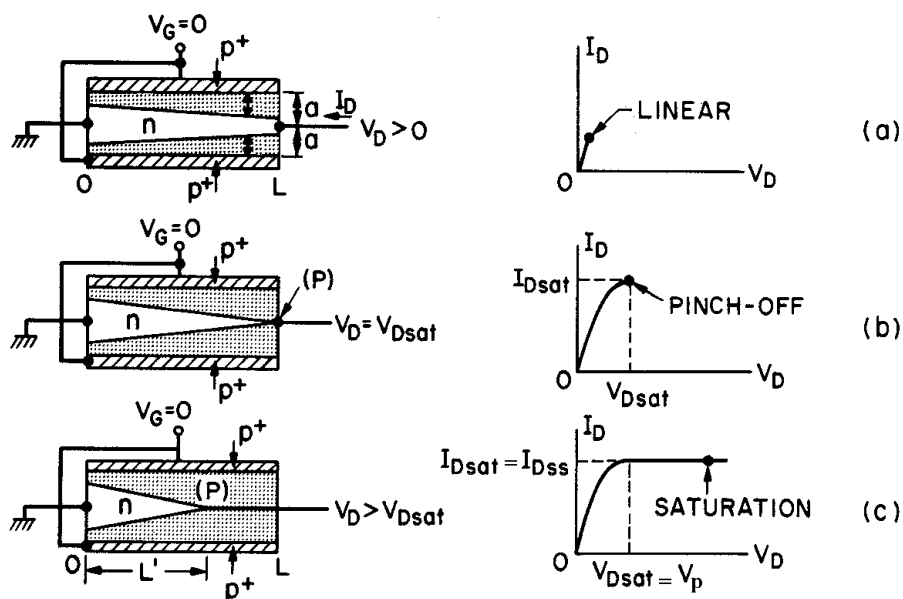


Fig. A.3.3: Variación de la anchura de la región espacial de carga y características de salida de un JFET bajo condiciones de polarización. (a) $V_G = 0$ y V_D pequeño. (b) $V_G = 0$ y punto de estrangulamiento del canal. (c) $V_G = 0$ y $V_D > V_{Dsat}$.

Puede darse el caso de que las regiones espaciales de carga superior e inferior se toquen (punto P). El valor de la tensión de drenador para el cual ocurre el estrangulamiento del canal (b) se denomina tensión de saturación $V_{D,sat}$. Para este valor de la tensión V_{DS} se esperaría que ya no pasaran portadores, sin embargo fluye un valor alto de corriente llamada corriente de saturación I_{Dsat} desde el drenador hacia la fuente a través de la zona de agotamiento. Esta corriente es debida a portadores altamente energéticos que son capaces de atravesar la zona de agotamiento.

Si la tensión de drenador sigue aumentando (c), el punto P de contacto se desplaza hacia la zona de la fuente, siendo la tensión en este punto V_{Dsat} . En consecuencia, el número de electrones que fluyendo de la fuente atraviesan el canal y llegan al punto P queda inalterado con respecto a la situación b) pues el punto P no ha variado su potencial. En consecuencia, para tensiones V_{DS} mayores que V_{Dsat} , la corriente neta no sufre variación apreciable con respecto al valor I_{Dsat} y es independiente de V_{DS} (zona de saturación).

A los valores de I_{Dsat} y V_{Dsat} para $V_{GS} = 0$ se les llama I_{DSS} y V_p (tensión de estrangulamiento o "pinch off") respectivamente. El valor de V_p es positivo para un JFET de canal N (como en nuestro caso) y negativo para un JFET de canal P.

Obsérvese que siempre circulan portadores mayoritarios y que por tanto lo hacen por arrastre y debido al campo eléctrico creado por la tensión externa aplicada; el FET conduce por tanto por portadores mayoritarios. Habremos distinguido por tanto dos modos de funcionamiento, el de saturación y el lineal u óhmico.

Podemos repetir el proceso pero ahora conectando una fuente de tensión entre puerta y surtidor.

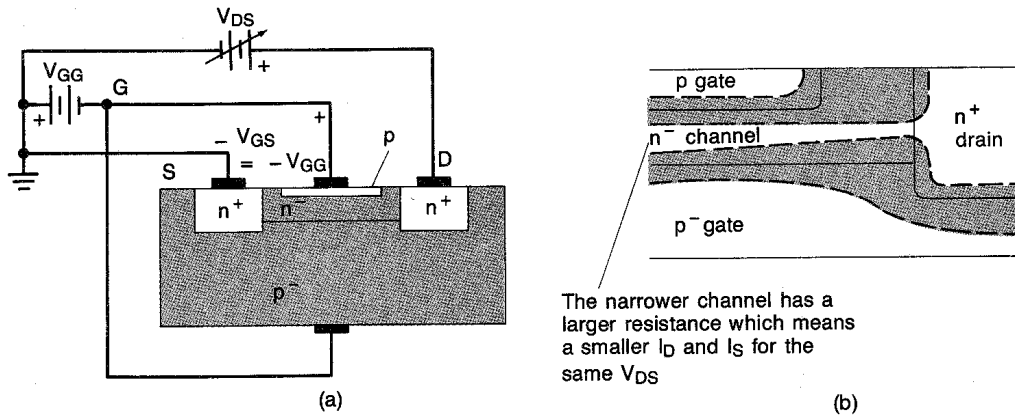


Fig. A.3.4: Funcionamiento del transistor JFET con tensión $V_{GS} \neq 0$ (a) polarización con un JFET canal N y (b) ampliación de la zona del drenador.

Si aplicamos una tensión V_{GS} menor que cero y vamos ahora aumentando la tensión V_{DS} observamos que estrangulamos el canal a una tensión V_{Dsat} menor que para el caso $V_{GS} = 0$ ya que aumenta la polarización inversa de la unión p-n y, por tanto, la anchura de la zona de agotamiento. La relación entre estas dos tensiones de saturación es,

$$V_{Dsat} = V_p - |V_{GS}| \tag{A.3.2}$$

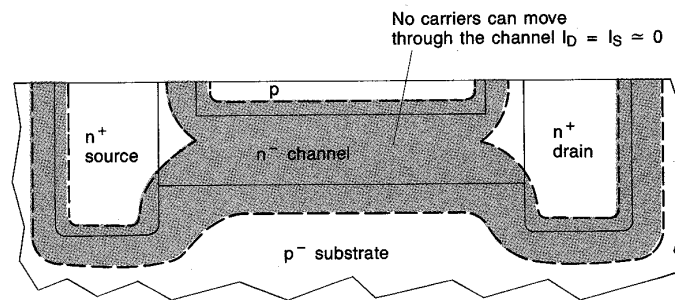


Fig. A.3.5: Cuando $V_{GS} = V_{GS(off)}$ el JFET se corta y no circula corriente a través del canal.

Si seguimos aumentando la tensión inversa V_{GS} , llegará un momento en el que estrangularemos completamente el canal. A partir de esa tensión ya no habrá portadores suficientemente energéticos para atravesar la zona de agotamiento y el JFET estará cortado completamente. La tensión de puerta a la que se estrangula el canal completamente se llama tensión de corte $V_{GS(OFF)}$. Como se sigue cumpliendo la expresión anterior tendremos que,

$$|V_{GS(OFF)}| = V_p \tag{A.3.3}$$

Además en el JFET la corriente de puerta es muy reducida y se corresponde con la corriente de pérdidas de una unión p-n inversamente polarizada. Por tanto el error es mínimo si decimos que la corriente de surtidor es igual a la corriente de drenador.

$$I_D = I_S \tag{A.3.4}$$

El modo de funcionamiento correcto del JFET es polarizándolo como se indica en la siguiente tabla.

JFET	V_{DS}	V_{GS}
Canal N	+	-
Canal P	-	+

A.3.2.1.1. Ecuación de transferencia del JFET

La ecuación que describe el comportamiento del JFET es:

$$I_D = I_{DSS} \left(1 - \left| \frac{V_{GS}}{V_{GS(OFF)}} \right| \right)^2 = \frac{I_{DSS}}{(V_{GS(OFF)})^2} \cdot (V_{GS(OFF)} - |V_{GS}|)^2 = \frac{I_{DSS}}{(V_{GS(OFF)})^2} \cdot (V_{Dsat})^2 \quad (A.3.5)$$

Esta es la ecuación que se corresponde con los puntos que separan la zona óhmica de la activa (línea discontinua). Dado que I_D es prácticamente constante e igual a I_{Dsat} en la región activa, dicha ecuación también podrá ser empleada en dicha zona.

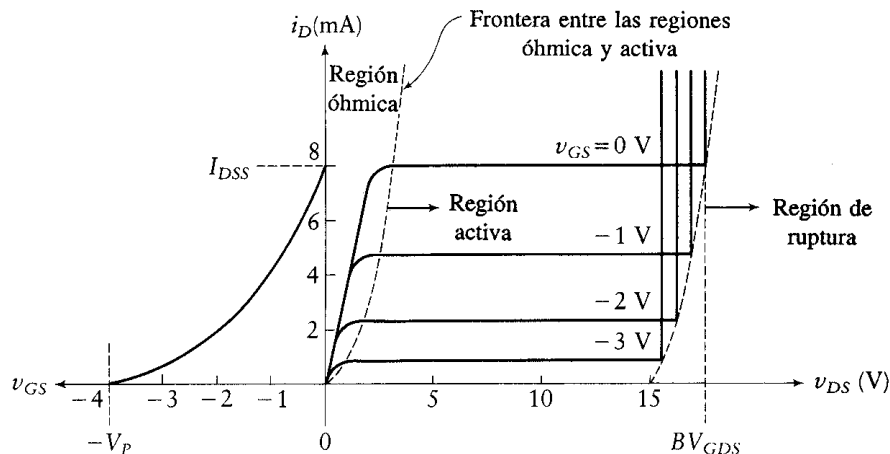


Fig. A.3.6: Representación de las características de transferencia y salida de un JFET de canal N.

A.3.2.2. Efectos de la temperatura en el transistor JFET

Al igual que en los componentes que ya hemos estudiado el FET también se ve muy afectado por la temperatura. Debemos conocer estas variaciones para evitar que afecten al punto Q. El JFET aprovecha el campo eléctrico asociado a la zona de agotamiento inversamente polarizada para controlar la circulación de portadores por el canal, controlando la resistencia del canal. Como ya hemos dicho sólo se ven afectados portadores mayoritarios en la conducción del JFET, de ahí el nombre de unipolar. Los dos principales efectos producidos por la temperatura son,

1. Un incremento de temperatura provoca una disminución de la anchura de la zona de agotamiento lo que aumenta el grosor del canal
2. La movilidad de los portadores mayoritarios se reduce con la temperatura.

El primer efecto hace que la corriente I_D aumente con la temperatura o dicho de otra manera que $V_{GS(OFF)}$ aumente con la temperatura. $V_{GS(OFF)}$ tiene un “tempco” de $+2,2 \text{ mV}/^\circ\text{C}$. Por otra parte el segundo efecto se traduce en una reducción de la corriente I_D con la temperatura. Estos dos efectos tienen lugar simultáneamente lo que significa que existe un punto de operación en el que se cancelan y las curvas características del JFET no varían con la temperatura. Esto ocurre para una tensión de puerta V_{GS} en la que la corriente de drenador I_D no depende de la temperatura,

$$|V_{GS}| \approx |V_p| - 0,63 \text{ V} \tag{A.3.6}$$

donde V_p es la tensión de estrangulamiento a 25°C .

En la siguiente figura se muestran como varían las curvas características con la temperatura. Se observa claramente que existe una tensión de puerta para la que las características no varían con la temperatura para $V_p \cong 1,2 \text{ V}$.

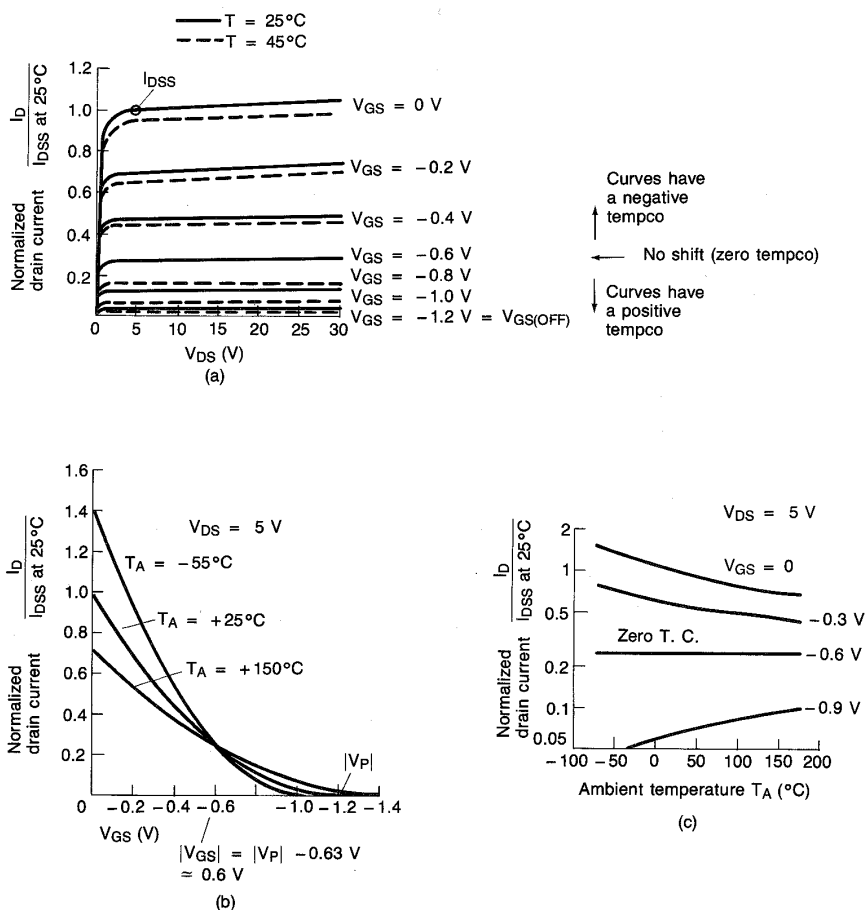


Fig. A.3.7: Variación de las curvas características del JFET con la temperatura.

Otro parámetro que se ve afectado por la temperatura es la generación térmica de portadores minoritarios. Estos portadores son los responsables del aumento de la corriente de pérdidas de la puerta, I_{GSS} . I_{GSS} equivale a la corriente de puerta estando cortocircuitados el drenador y el surtidor. Al igual que en cualquier otra unión p-n inversamente polarizada la corriente de pérdidas se duplica cada 10°C . Para predecir su valor podremos utilizar la expresión que ya se vio para el diodo.

El comportamiento del MOSFET, dispositivo que veremos a continuación, también se ve afectado por la variación de la temperatura. Existe una temperatura a la que $I_D(V_{GS})$ es independiente de la temperatura como en el caso del JFET. Esto también afecta a la tensión de puerta umbral que varía entre $-2,5 \text{ mV}/^\circ\text{C}$ y $-6 \text{ mV}/^\circ\text{C}$. Si trabajamos en la zona activa debemos tener en cuenta esta variación de V_{GS} con la temperatura para evitar la variación del punto Q.

A.3.2.3. El transistor MOSFET de deplexión (DE-MOSFET)

En el funcionamiento del JFET hemos visto que según la tensión V_{GS} , controlamos la anchura de la zona de agotamiento. De hecho si hacemos V_{GS} positiva y por tanto polarizamos directamente la unión puerta-canal, todavía reducimos más la zona de agotamiento y por tanto aumentamos su conductividad e I_D . El problema es que la corriente de puerta se hace muy elevada e I_D aumenta por encima de I_{DSS} . Por tanto, la polarización directa de la unión p-n de silicio está restringida a un valor máximo de 0,5 V. Un valor límite más conservador es 0,2 V.

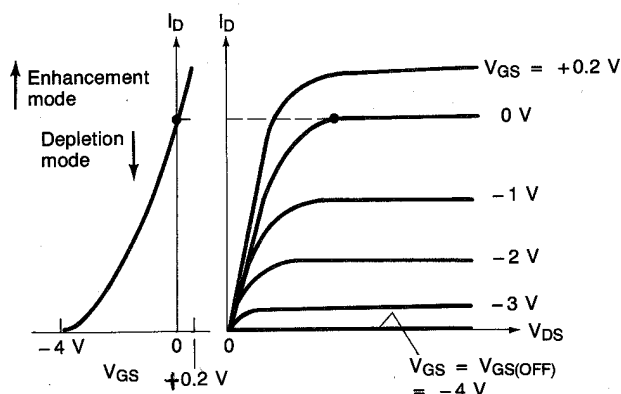


Fig. A.3.8: Características de transferencia y de salida de un JFET de canal N. Para $V_{GS} > 0$ trabaja en modo de enriquecimiento.

Para poder hacer funcionar el FET en modo de enriquecimiento debemos evitar que se polarice directamente la unión puerta-canal. Una forma de hacerlo es aislando la puerta y controlando la zona de agotamiento mediante un campo eléctrico. Los símbolos y esquemas de este tipo de MOSFET se muestran en la siguiente figura.

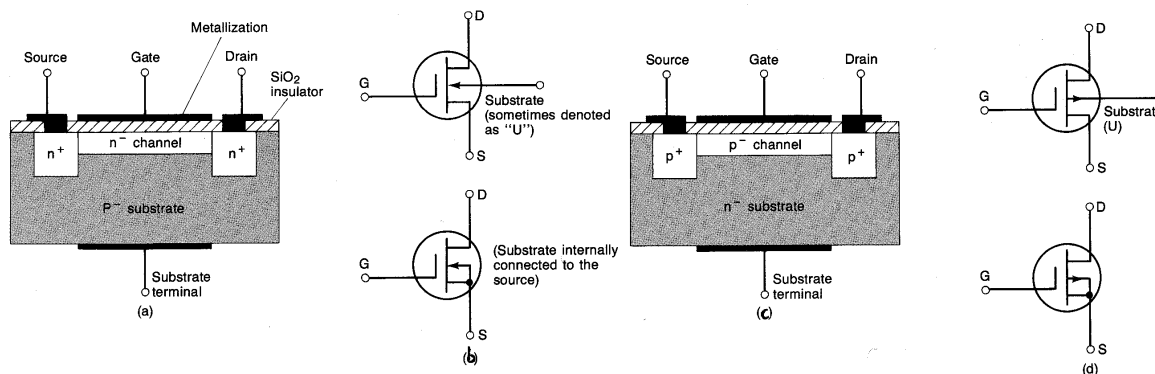


Fig. A.3.9: MOSFET de deplexión o DE-MOSFET (a) de canal N, (b) símbolo de canal N, (c) de canal P, (d) símbolo de canal P.

En la mayor parte de aplicaciones, el sustrato es simplemente unido al surtidor. Sin embargo, puede ser utilizado como otro terminal de entrada de puerta, o en el caso de canal N llevado a una tensión de alimentación negativa.

Su funcionamiento es similar al del JFET, pero como ya hemos dicho la puerta está aislada del canal por una fina capa de óxido de silicio (SiO_2), no existiendo unión p-n entre la puerta y el canal. Supongamos el caso en que V_{GS} sea negativa. Dado que la estructura básica es muy similar a una capacidad de placas planoparalelas, la polarización negativa de puerta repele las cargas negativas de los electrones en el canal de tipo n⁻. Como consecuencia, se forma una región espacial de carga o zona de agotamiento que estrecha el canal, reduciendo su conductividad y disminuyendo I_D . Si V_{GS} alcanza un valor negativo denominado $V_{GS(th)}$ (o V_T) el canal se estrangula con lo cual ya no hay circulación de corriente.

Si V_{GS} se hace positiva, son atraídos electrones adicionales hacia el canal, los cuales procederán de las regiones n⁺ de drenador y surtidor que están más fuertemente dopadas. Estos electrones adicionales incrementarán la conductividad del canal. La disminución de la resistencia del canal provoca un incremento de I_D .

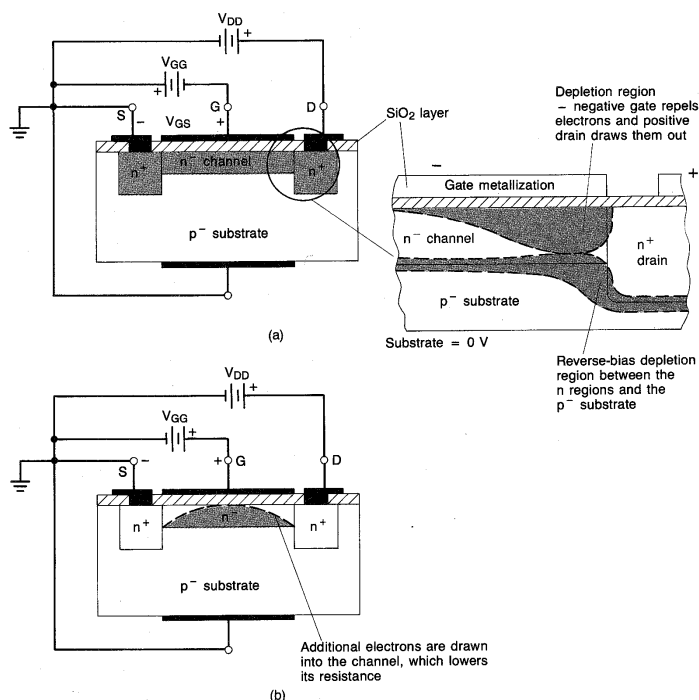


Fig. A.3.10: Funcionamiento del MOSFET de deplexión o DE-MOSFET (a) en modo de empobrecimiento, (b) en modo de enriquecimiento.

Los distintos modos de funcionamiento del DE-MOSFET se muestran en la siguiente tabla.

DE-MOSFET	V_{DS}	V_{GS}	Modo de funcionamiento
Canal N	+	+	Acumulación o enriquecimiento
		-	Vaciamiento o empobrecimiento
Canal P	-	-	Acumulación o enriquecimiento
		+	Vaciamiento o empobrecimiento

Al estar aislada la puerta podemos aplicar tensiones positivas a la puerta siendo la única limitación la corriente máxima de drenador permitida, $I_{D(MAX)}$. La corriente de fugas será mucho menor que la del JFET y alcanzará ordenes de magnitud de pico amperios. El único problema que describiremos más adelante es la tensión de puerta que soportan los transistores FET de puerta aislada que no suele superar los 20 V. Por encima de esa tensión el aislante (SiO_2) se perfora y el transistor queda inservible.

A.3.2.3.1. Ecuación de transferencia del DE-MOSFET

La ecuación que describe el comportamiento del DE-MOSFET es la misma que la obtenida para el JFET:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS(th)}} \right)^2 \quad (\text{A.3.7})$$

Donde $V_{GS(th)}$ es la tensión negativa a la cual ocurre el estrangulamiento del canal y, por tanto, la tensión de puerta a partir de la cual el MOSFET empieza a conducir.

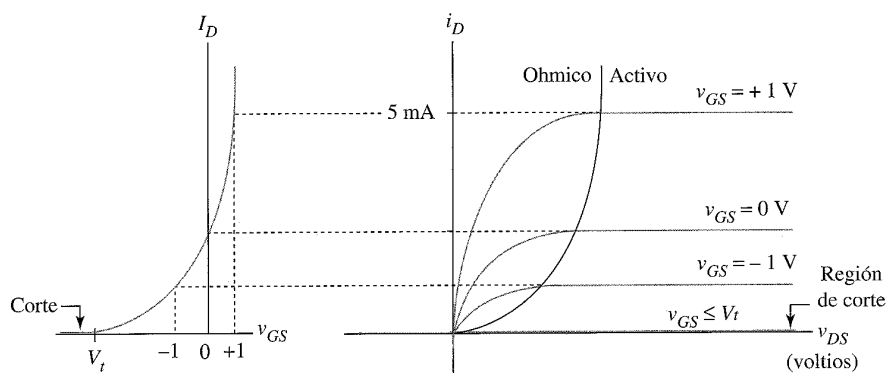


Fig. A.3.11: Características de transferencia y de salida de un MOSFET de deplexión o DE-MOSFET de canal N.

A.3.2.4. **El transistor MOSFET de inducción o enriquecimiento (E-MOSFET)**

El MOSFET de inducción es en la actualidad el más utilizado y en el que se basan todos los circuitos integrados de tecnología CMOS. En este tipo de transistor el canal no existe realmente y es inducido. Para distinguirlo del DE-MOSFET el símbolo del transistor utiliza una línea discontinua para dibujar el canal. Su principio de funcionamiento es igual al del DE-MOSFET salvo que no funciona en modo de empobrecimiento. Sólo las tensiones positivas aplicadas a la puerta V_{GS} se traducen en control de la corriente por el drenador I_D , para el caso del E-MOSFET de canal N. La región en que se induce el canal es la comprendida entre las dos regiones de tipo n^+ .

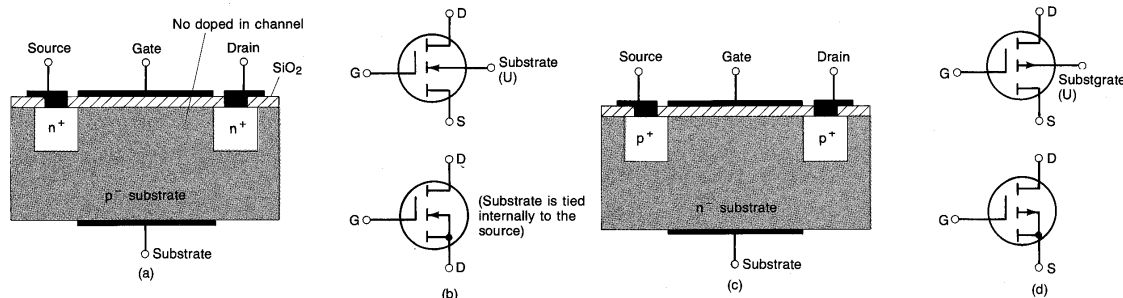


Fig. A.3.12: MOSFET de enriquecimiento o E-MOSFET (a) de canal N, (b) símbolo de canal N, (c) del de canal P, (d) símbolo del de canal P.

Si aplicamos a un E-MOSFET de canal N una tensión $V_{GS} = 0$ a la puerta entonces podemos suponer que el canal equivale a dos diodos puestos en antiserie y en serie con una resistencia equivalente, por lo que apenas circularán por el canal las corrientes de fugas de los diodos.

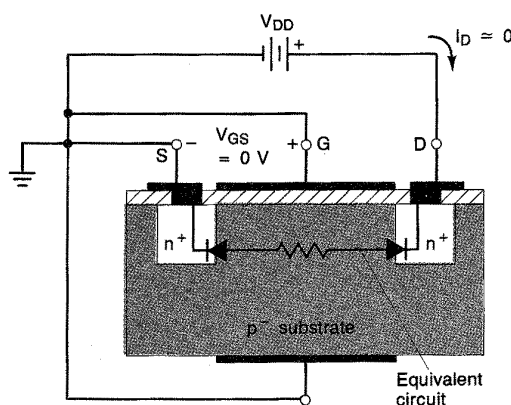


Fig. A.3.13: Funcionamiento del MOSFET de enriquecimiento o E-MOSFET con $V_{GS} = 0$ V.

Ahora si la tensión V_{GS} se hace positiva se forma un campo eléctrico en la región de puerta. Esta tensión positiva sirve para atraer portadores minoritarios (electrones) que de entrada deberían proceder del sustrato de tipo p, pero como dicho sustrato es deficitario en electrones, éstos van a proceder de las zonas n+ de drenador y surtidor. Cuando la tensión de puerta alcanza un valor positivo suficientemente grande, existen suficientes portadores minoritarios en el sustrato como para formar un canal de tipo N entre las regiones de surtidor y drenador. Cuando esto ocurre, se ha inducido un canal, formando lo que se conoce como "capa de inversión".

El valor de V_{GS} requerido para formar esta "capa de inversión" es la llamada tensión umbral $V_{GS(th)}$ (o V_T). Conforme V_{GS} aumenta por encima de $V_{GS(th)}$, I_D continua incrementándose. En esta situación, el canal actúa como una resistencia y la corriente de drenador I_D es proporcional a la tensión de drenador aplicada. Sin embargo, a medida que la tensión de drenador va aumentando, la región del canal más próxima al drenador pierde progresivamente su carácter negativo eléctrico, y en consecuencia disminuye la anchura del canal en esta zona próxima al drenador con respecto a la que está al lado de la fuente. Se pierde la relación lineal constante entre I_D y V_D . Si se sigue aumentando la tensión de drenador, se llega a un valor de ésta V_{Dsat} , en el cual la anchura del canal en la zona próxima al drenador se ha anulado, no hay canal, es el llamado punto de estrangulamiento del canal (punto P).

Más allá de este valor de tensión ($V_D > V_{Dsat}$), la corriente que fluye por el canal permanece prácticamente invariable debido a que la tensión en el punto P permanece prácticamente en el valor V_{Dsat} . El número de portadores que llega al punto P procedentes de la fuente permanece invariable. El cambio más significativo es la disminución de la longitud del canal a un valor L' inferior a L ($L' < L$).

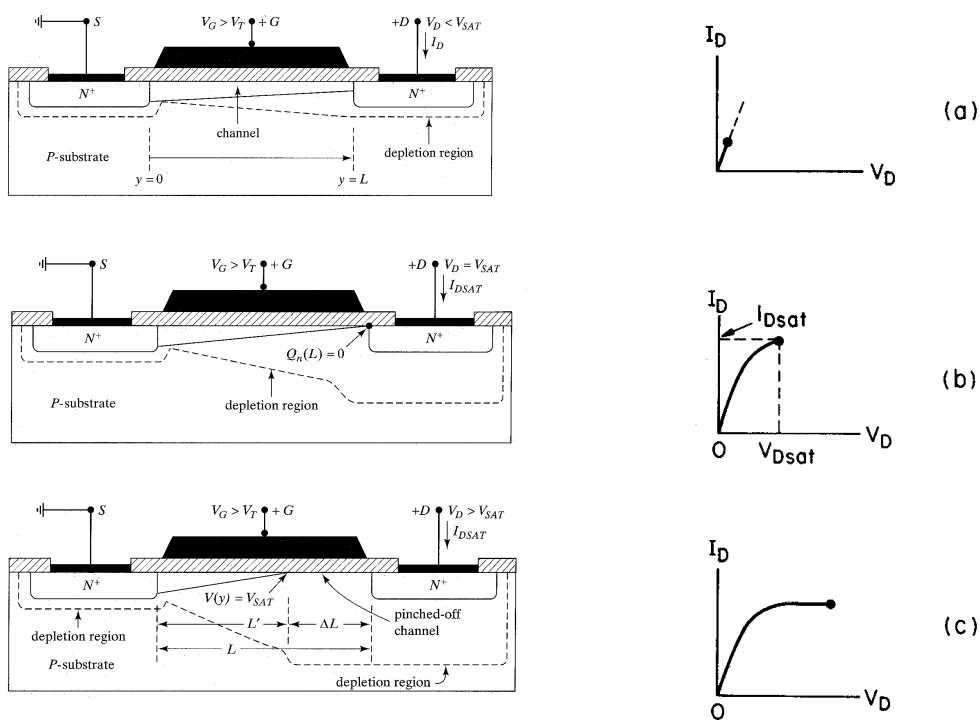


Fig. A.3.14: Funcionamiento del MOSFET de enriquecimiento o E-MOSFET. (a) Para baja tensión de drenador. (b) Inicio de la saturación. (c) Más allá de la saturación.

La región de la característica I_D - V_D del transistor MOSFET en la cual la corriente es proporcional a la tensión se denomina región lineal, a partir del valor de tensión en el drenador V_{Dsat} , la región en la característica se denomina región de saturación o también llamada zona activa. En el estado activo el MOSFET se comporta como una fuente de corriente (I_D) controlada por tensión (V_{GS}), mientras que en la zona óhmica o región lineal se comporta como una resistencia.

La tensión V_{Dsat} a la cual se estrangula el canal varía con V_{GS} siguiendo la siguiente relación:

$$V_{Dsat} = V_{GS} - V_{GS(th)} \tag{A.3.8}$$

En la siguiente tabla se presentan las tensiones de polarización para los E-MOSFET tanto de canal N como de canal P.

E-MOSFET	V_{DS}	V_{GS}
Canal N	+	+
Canal P	-	-

A.3.2.4.1. Ecuación de transferencia del E-MOSFET

La siguiente ecuación describe la frontera entre la zona lineal (óhmica) y la zona activa (de saturación):

$$I_D = \frac{K}{2} (V_{GS} - V_{GS(th)})^2 = \frac{K}{2} \cdot V_{Dsat}^2 \tag{A.3.9}$$

donde

$$K = \frac{W}{L} \mu_n C_{ox} \tag{A.3.10}$$

donde W: anchura del canal; μ_n : movilidad de los electrones; C_{ox} : capacidad por unidad de área del óxido que hay debajo de la puerta, L: longitud del canal.

En dicha frontera estamos en el punto de estrangulamiento del canal en que se cumple que $V_{Dsat} = V_{GS} - V_{GS(th)}$, de ahí que el lugar geométrico de los puntos (I_{Dsat}, V_{Dsat}) venga descrito por la parábola de trazado discontinuo de la siguiente figura.

Dado que I_D es prácticamente constante e igual a I_{Dsat} en la región activa, dicha ecuación también podrá ser empleada en dicha zona.

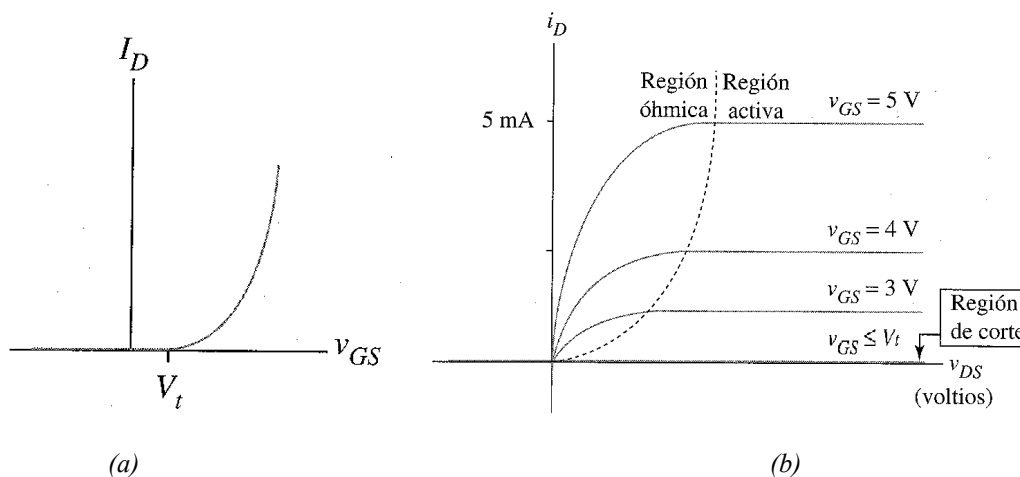


Fig. A.3.15: Características de transferencia (a) y de salida (b) de un MOSFET de enriquecimiento o E-MOSFET de canal N.

A.3.2.5. Tensión de ruptura en el JFET y en el MOSFET

La tensión de ruptura en el JFET viene dada por la tensión inversa máxima que soporta la unión puerta-canal. A parte de ella no existe otra limitación ya que el canal es conductor. A medida que la tensión de drenador aumenta, el diodo formado entre la puerta y el canal entra en su región de avalancha y, en consecuencia, la corriente de drenador aumenta muy rápidamente perdiéndose el control del dispositivo. La ruptura se origina en la zona más

próxima al drenador ya que es allí donde la tensión inversa aplicada es mayor. Los fabricantes proporcionan normalmente los valores de la máxima tensión de drenador a puerta V_{DG} y la máxima tensión de puerta a surtidor V_{GS} . Para un JFET de canal N la tensión V_{GS} tiene valores negativos por lo que podremos escribir:

$$|V_{DS}| = |V_{DG}| - |V_{GS}| \quad (\text{A.3.11})$$

Tanto V_{DG} como V_{GS} sirven para polarizar inversamente la unión p-n entre la puerta y el canal. Sin embargo, V_{DG} es la mayor de las dos y será la que determine la ruptura por avalancha de la unión puerta - canal (en la zona del canal más próxima al drenador la tensión inversa aplicada es mayor que en la cercana al surtidor).

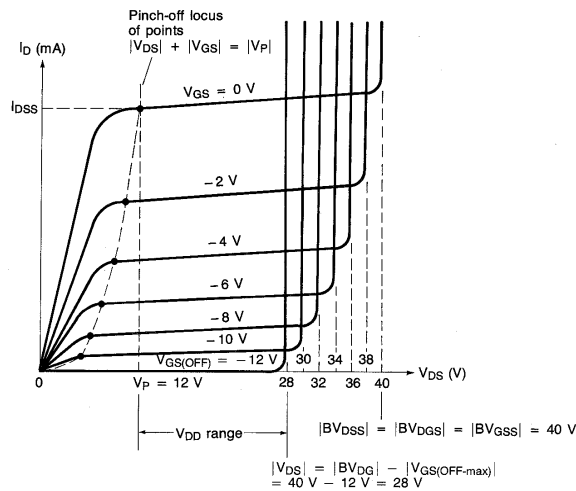


Fig. A.3.16: Control de la tensión de alimentación para evitar la ruptura del JFET.

Dada la simetría del JFET de señal, los papeles de los terminales de drenador y surtidor pueden ser intercambiados y las tensiones de ruptura coinciden: $|BV_{GSS}| = |BV_{DGS}|$. Este valor común también corresponde al valor de la tensión drenador - surtidor a la que se produce la ruptura con $V_{GS} = 0 \text{ V}$, $|BV_{DSS}|$. El subíndice S empleado significa que durante la medida de estos parámetros el tercer terminal ha sido cortocircuitado a tierra.

La elección de la tensión de alimentación del JFET debe hacerse teniendo en cuenta que debe ser lo suficientemente grande como para permitir la operación del JFET en su zona activa con corriente constante pero evitando la posibilidad de alcanzar la tensión de ruptura $|BV_{DGS}|$ del JFET. Sabemos que para los puntos de la ecuación característica se cumple que,

$$|BV_{DGS}| = |V_{DS}| + |V_{GS}| \quad (\text{A.3.12})$$

o lo que es lo mismo,

$$|V_{DS}| = |BV_{DGS}| - |V_{GS}| \quad (\text{A.3.13})$$

siendo el peor de los casos si $V_{GS} = V_{GS(OFF-max)}$

$$|V_{DS}| = |BV_{DGS}| - |V_{GS(OFF-max)}| \quad (\text{A.3.14})$$

Por tanto siempre que V_{DS} sea menor que el valor calculado de la ecuación anterior no se producirá la ruptura.

$$|V_{DD}| \leq 0,8 [|BV_{DGS}| - |V_{GS(OFF-max)}|] \quad (A.3.15)$$

donde 0,8 es un margen de seguridad.

Si además queremos que el JFET esté siempre en la zona activa debemos elegir V_{DD} mayor que $1,2 |V_{GS(OFF-max)}|$, donde 1,2 es un margen de seguridad.

En el caso del MOSFET cuando el campo eléctrico en la zona de agotamiento drenador-substrato alcanza un valor elevado empieza el proceso de ruptura por avalancha incrementándose la corriente tal y como ocurre en un diodo de unión p-n. El fabricante nos especifica el valor de la tensión de ruptura BV_{DSS} , que corresponde a la tensión de ruptura por avalancha de dicha unión para $V_{GS} = 0 \text{ V}$ y por tanto el valor máximo permisible para V_{DS} . V_{DD} deberá ser menor que este valor especificado con un margen de seguridad.

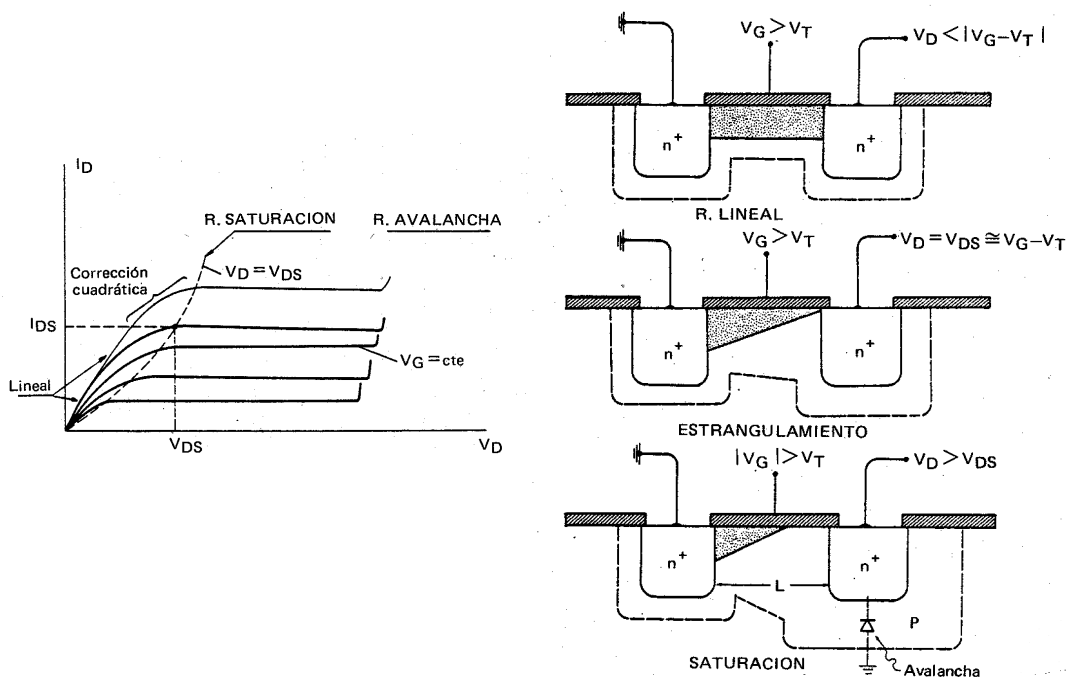


Fig. A.3.17: Ruptura por avalancha en un MOSFET de enriquecimiento o E-MOSFET de canal N.

A.3.2.6. Capacidades parásitas del transistor de efecto de campo

El transistor de efecto de campo tiene efectos capacitivos entre sus tres terminales al igual que el BJT. Para el JFET tendremos unas capacidades asociadas con las uniones inversamente polarizadas existentes en el componente y que por tanto serán C_{dg} y C_{gs} . Para el caso de los MOSFET las capacidades no están asociadas a una unión, si no que son

capacidades reales con un dieléctrico que es el SiO₂. Por último, la capacidad del canal, C_{ds}, es generalmente debida a la fabricación del componente sobre la oblea.

Los fabricantes suelen medir tres capacidades diferentes a las que acabamos de definir que son la capacidad de entrada con la salida en cortocircuito de ac, C_{iss}, la capacidad de salida con la entrada en corto de ac, C_{oss}, y por último la capacidad inversa de transferencia, C_{rss}.

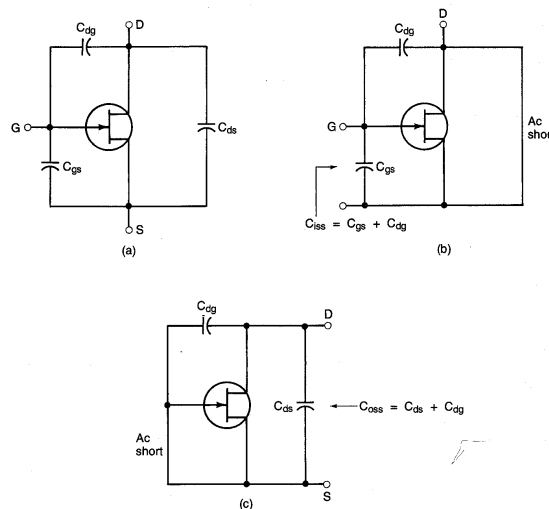


Fig. A.3.18: Capacidades parásitas de los transistores de efecto de campo, (b) y (c) relación entre las capacidades entre terminales y las medidas por los fabricantes.

Se puede deducir fácilmente la relación entre las capacidades entre terminales y las capacidades medidas por los fabricantes. Estas relaciones son,

$$C_{dg} = C_{rss} \quad (\text{A.3.16})$$

$$C_{gs} = C_{iss} - C_{rss} \quad (\text{A.3.17})$$

$$C_{ds} = C_{oss} - C_{rss}$$

Hacer hincapié en que en los MOSFET la tensión de puerta equivale a la tensión de carga de la capacidad C_{gs}.

A.3.2.7. Precauciones en el manejo del MOSFET - ESD

Uno de los problemas más graves que encontramos en el MOSFET es la sensibilidad frente a descargas electrostáticas. En inglés se denomina "Electrostatic Discharge" o ESD. Si el MOSFET se ve influido por un fuerte campo electrostático se puede cargar la capacidad de su puerta y si la tensión a la que se carga supera la de ruptura, V_{GS(max)}, del dispositivo se perforará el dieléctrico de la puerta del transistor y se destruirá. La alta sensibilidad del MOSFET a este problema es debida a que la capacidad de puerta tiene tensiones de ruptura muy bajas. Cuanto menor es la capacidad de puerta del MOSFET más sensible será a la ruptura por campo electrostático.

Si se ha producido una descarga, el MOSFET presentará una baja resistencia de canal y/o un efecto zener entre puerta y surtidor para tensiones por debajo de $V_{GS(max)}$.

Si por tanto se trabaja en un ambiente muy cargado electrostáticamente se puede cargar la capacidad de puerta del MOSFET y si la tensión es suficiente, destruir el transistor. Para evitarlo es necesario conectar a tierra todos los elementos que vayan a entrar en contacto con el MOSFET para asegurarse de que no existe carga electrostática y así evitar que se le puede transferir carga a C_{gs} .

A.3.3. Curvas características

Ya hemos descrito el comportamiento de los transistores de efecto de campo. Las curvas características que se presentan a continuación se corresponden con esa descripción. Para todos los FET se distinguen tres zonas de funcionamiento básicas. La zona de funcionamiento activa o de saturación, la zona de funcionamiento óhmica y la zona de corte.

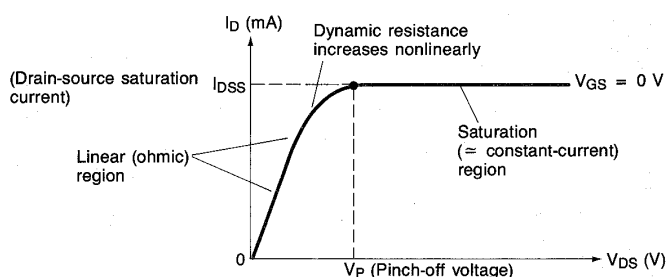


Fig. A.3.19: Curva característica de un JFET donde se distinguen las tres zonas de funcionamiento, zona óhmica, zona activa o de saturación y zona de corte. Las tres zonas son aplicables a cualquier tipo de FET.

A.3.3.1. El JFET

Las curvas del JFET se caracterizan porque se necesita tensión de puerta negativa (para el caso de canal N) para hacerlo funcionar correctamente. De hecho la máxima corriente de drenador se consigue para una tensión de puerta $V_{GS} = 0$ V.

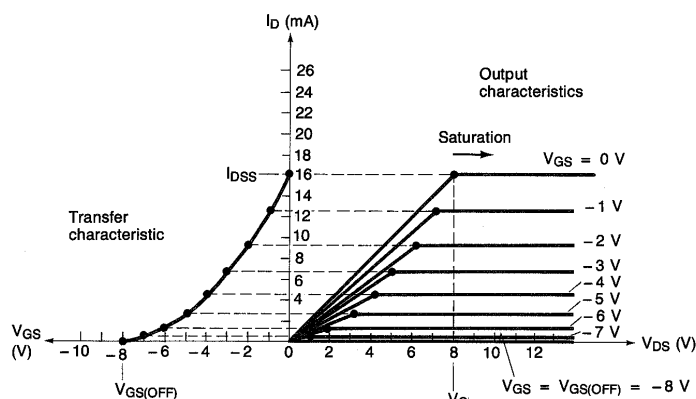


Fig. A.3.20: Curva característica de un JFET de canal N donde se observan tanto la curva de I_D frente a V_{GS} como frente a V_{DS} .

Existe además una tensión de puerta límite, $V_{GS(OFF)}$, a partir de la cual el JFET se corta completamente. Debemos también tener en cuenta que la ecuación característica de los FET que ya hemos descrito se corresponde con los puntos que separan la zona óhmica de la zona activa.

A.3.3.2. El DE-MOSFET

Las curvas características del DE-MOSFET o MOSFET de deplexión son muy parecidas a las del JFET salvo que dado que la puerta está aislada, está permitido aplicar tensiones positivas a la puerta sin que esto cause ningún problema en el funcionamiento del transistor. Al igual que en el JFET, la ecuación característica describe los puntos que separan la zona óhmica de la zona activa.

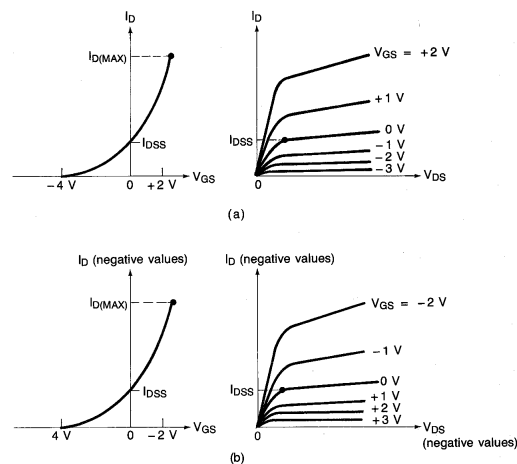


Fig. A.3.21: Curva característica de un DE-MOSFET; (a) de canal N y (b) de canal P.

A.3.3.3. El E-MOSFET

Las curvas del E-MOSFET o MOSFET de inducción responden a la ecuación ya descrita y por tanto se observa que el transistor sólo entra en funcionamiento cuando se supera la tensión de puerta umbral, $V_{GS(th)}$. Para tensiones de puerta inferiores a $V_{GS(th)}$ el transistor está cortado. Por encima de la tensión de puerta umbral el MOSFET entra en conducción y dependiendo del valor de V_{DS} estará en la zona activa o en la zona lineal u óhmica.

La frontera entre la zona óhmica y la activa viene dada por la siguiente condición,

$$V_{DS} = V_{GS} - V_{GS(th)} \quad (A.3.18)$$

Que describe los puntos de la ecuación característica.

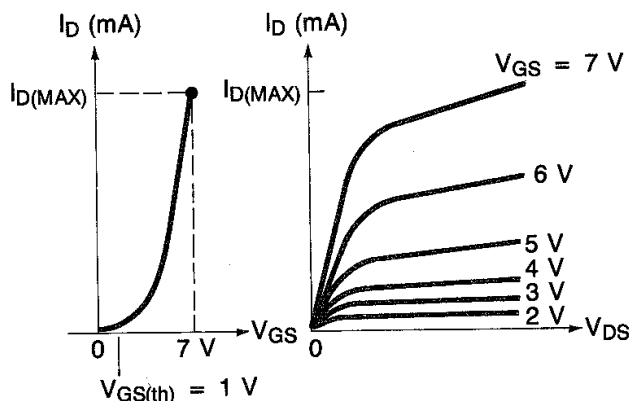


Fig. A.3.22: Características de transferencia y de salida de un E-MOSFET de canal N.

Dado que en la zona óhmica o lineal se tiene la siguiente relación:

$$I_D = K \cdot (V_{GS} - V_{GS(th)}) \cdot V_D \tag{A.3.19}$$

Se deduce que la resistencia de canal en la zona óhmica vale,

$$R_{\text{ohmicaMOSFET}} = \frac{V_D}{I_D} = \frac{1}{K(V_{GS} - V_{GS(th)})} \tag{A.3.20}$$

pero hay que tener en cuenta que la validez de esta expresión se reduce a bajos valores de V_{DS} ,

$$|V_{DS}| \leq 0,2 |V_{GS} - V_{GS(th)}| \tag{A.3.21}$$

Todos los dispositivos de efecto de campo que hemos visto presentan un efecto de resistencia de salida r_o similar al previamente estudiado para los BJTs. Cuando V_{DS} se incrementa, la zona de agotamiento del final del drenador se expande hasta el canal reduciendo de esa forma la longitud del canal a un valor L_E inferior al valor original L . Como consecuencia, la resistencia del canal disminuye e I_D se incrementa ligeramente al aumentar V_{DS} .

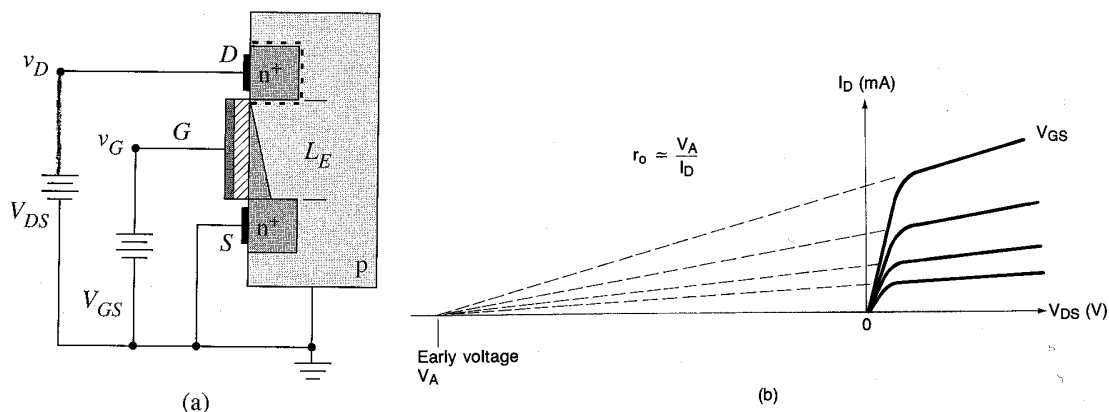


Fig. A.3.23: La resistencia de salida r_o en los FETs. (a) Un incremento de V_{DS} disminuye la longitud del canal, disminuyendo su resistencia. (b) Determinación gráfica de r_o mediante el uso de la tensión de Early.

Este efecto es muy similar al efecto Early visto para los BJTs. De hecho, se puede obtener también una tensión de Early V_A . Como se verá más adelante, la obtención del valor de r_o mediante la utilización de V_A , aunque permite hacer una estimación de su valor no deja de ser meramente eso, siendo preferible obtenerla a partir de gráficas proporcionadas por el fabricante.

A.3.4. Tipos de transistores unipolares

A.3.4.1. El transistor de estructura vertical

El MOSFET de estructura vertical se desarrolló para ocupar el lugar de los transistores bipolares de potencia. En la actualidad se ha convertido en el elemento más utilizado en aplicaciones de baja y media potencia por su comportamiento casi ideal como conmutador. Apareció en 1976 y su principal ventaja es que no necesita corriente de entrada (corriente de base) para su funcionamiento, aunque sí hay que cargar su capacidad de puerta para controlarlo. Por otra parte no sufre fenómenos como la segunda ruptura, la concentración de corriente o la cola de corriente al ser un dispositivo que conduce por portadores mayoritarios. De hecho su comportamiento en la zona óhmica, como su nombre indica, es puramente resistivo y la corriente por el dispositivo sólo depende de la tensión aplicada entre drenador y surtidor. Esto también limita su utilización para aplicaciones de media y baja potencia ya que para niveles de muy alta corriente la caída de tensión y por tanto la disipación de potencia se hace inaceptable. Al igual que en el transistor bipolar se ha desarrollado una estructura vertical para el MOSFET con el objetivo de reducir la resistencia del canal. En un MOSFET de señal ésta puede alcanzar valores de hasta 50Ω lo que significa una disipación de potencia de 50 W para una corriente de 1 A. En la estructura vertical la corriente circula en sentido vertical a través de un canal dispuesto con esa misma orientación. La primera estructura desarrollada fue la VMOS.

Dicha estructura proporciona un área máxima a los contactos de drenador y surtidor a fin de producir una baja resistencia de contacto en los terminales del encapsulado. Entre las regiones de drenador y surtidor se tienen dos regiones de tipo p en las cuales se forma el canal. La longitud del canal "l" viene determinada por las profundidades relativas de las sucesivas difusiones. Un valor típico podría ser de uno o dos micrómetros. La región débilmente dopada n^- de drenador es utilizada en los MOSFETs de potencia para permitir un mayor crecimiento de la zona de agotamiento (al aumentar V_{DS}), permitiendo al dispositivo bloquear altas tensiones cuando está cortado. Dado que la región n^- está menos dopada que la p, la mayor parte de la zona de agotamiento se extiende sobre la zona n^- . Al aumentar V_{DS} , la zona de agotamiento crece pero, al extenderse fundamentalmente sobre la región n^- , el dispositivo es capaz de bloquear mayores tensiones.

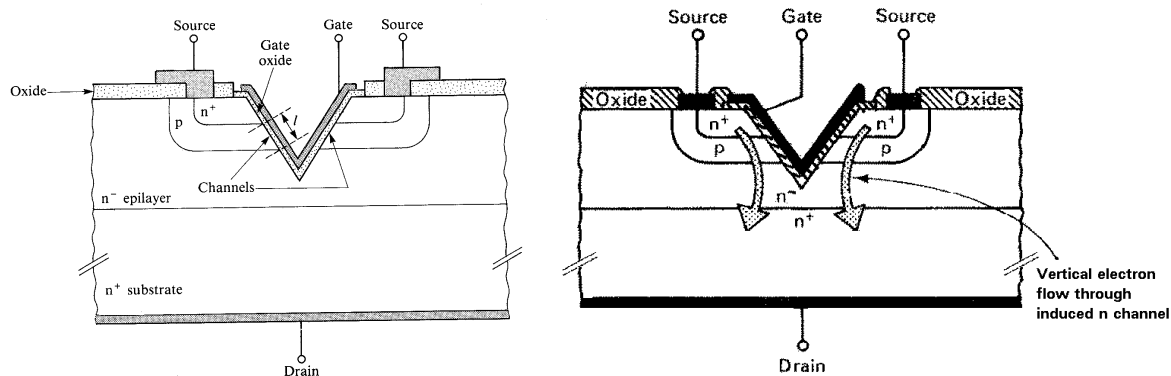


Fig. A.3.24: (a) MOSFET de potencia de estructura vertical VMOS. (b) Circulación de la corriente

El funcionamiento del VMOS es igual al de cualquier otro MOSFET de inducción pero la resistencia de canal se habrá reducido a 1Ω . Su transconductancia es relativamente alta y la longitud del canal también corta. La máxima corriente que puede circular a través del dispositivo está limitada por el efecto de concentración de corriente en el extremo de la "V". Por otra parte, este extremo tan abrupto causa que en el estado de corte se desarrolle una región local de alto valor del campo eléctrico, lo cual limita severamente la máxima tensión V_{DS} aplicable al transistor. Para corregir este problema se han desarrollado otras geometrías que permiten reducir el campo eléctrico y por tanto aumentar la tensión máxima que soporta el MOSFET. Una geometría que corrige este problema es la de tipo U. En ella se han "redondeado" las esquinas y así reducido el efecto bordes causante de ambos problemas.

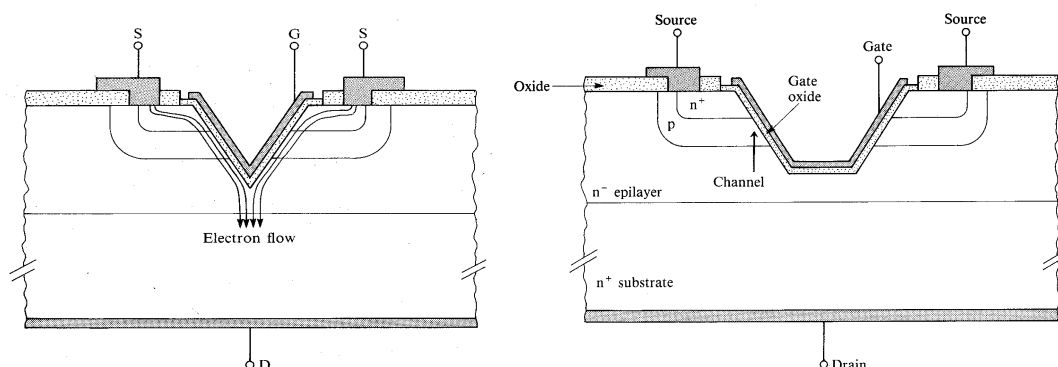


Fig. A.3.25: (a) Concentración de corriente en un VMOS. (b) MOSFET de potencia de estructura vertical UMOS.

Debido a la dificultad y precisión necesaria de los procesos de fabricación de los dispositivos anteriormente mencionados, estos han sido sustituidos por un tipo diferente de transistor MOS vertical llamado DMOS o "double diffusion" MOS pues utiliza el proceso de doble difusión en su fabricación. Este proceso se basa en que es posible utilizar dos difusiones sucesivas, primeramente una difusión de impurezas de tipo p y posteriormente una de impurezas de tipo n para producir dos uniones p-n cercanas a diferentes profundidades por debajo de la superficie del silicio. La diferente extensión lateral de las dos difusiones puede ser utilizada para definir la longitud del canal en el MOS. Esta técnica fue primeramente aplicada al LDMOS o "lateral DMOS transistor". La longitud del canal ahora es dependiente del control en las extensiones laterales de las sucesivas difusiones a través de la misma ventana de óxido.

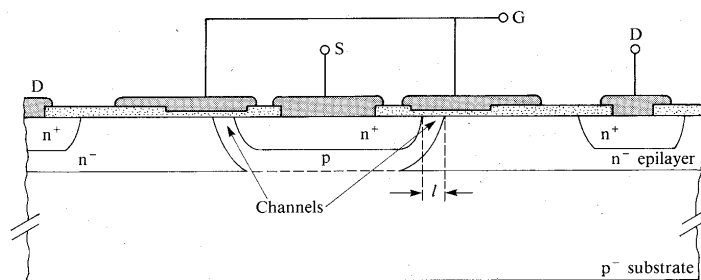


Fig. A.3.26: Transistor LDMOS.

Una estructura vertical conocida como VDMOS fue desarrollada posteriormente. Esta técnica utiliza la técnica de doble difusión para determinar la longitud del canal "l" y soporta verticalmente la tensión de drenador en la capa n⁻. La corriente fluye de forma lateral desde la fuente a través del canal, paralela a la superficie del silicio, y luego da un giro en ángulo recto para fluir verticalmente hacia abajo a través de la zona n⁻ al substrato n⁺ y de ahí al contacto de drenador. La región de tipo p, en la que se forma el canal si se aplica una tensión de puerta positiva suficientemente grande, y la n⁺ de surtidor se difunden de forma sucesiva a través de la misma ventana en la capa de oxido. De esa forma, la longitud del canal puede ser controlada hasta por debajo del micrómetro si fuera necesario. Debido a las concentraciones de impurezas presentes en la zona p y en la zona n⁻, la zona de agotamiento que soporta la tensión V_{DS} se extiende más hacia abajo en la capa n⁻ que lateralmente en el canal.

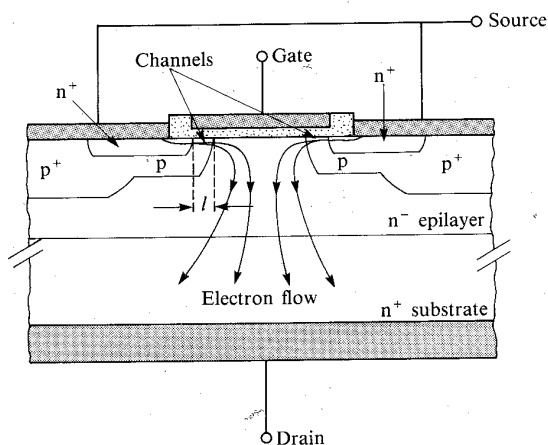


Fig. A.3.27: Diagrama esquemático de un VDMOS.

Un desarrollo que fue de gran importancia en tecnología de circuitos integrados MOS en la década de los 70 fue la utilización de silicio policristalino altamente dopado en lugar de aluminio para formar el electrodo de puerta. Las ventajas de su uso son:

1. Simplifica la metalización de la conexión: sobre la capa de polisilicio puede ser formada una capa de óxido, y la metalización del surtidor puede entonces extenderse sobre toda la superficie superior.

2. La capa de polisilicio puede ser depositada con gran precisión, y el óxido de la puerta es más estable y menos propenso a la contaminación que cuando se utiliza un contacto de puerta de aluminio.
3. El drenador y la puerta se alinean automáticamente.

Una desventaja del silicio policristalino es que tiene una mayor resistencia que el aluminio lo cual puede limitar su funcionamiento a altas frecuencias debido a la necesidad de cargar la capacidad de puerta. Por otra parte, el uso de silicio policristalino permite reducir la capacidad entre electrodos.

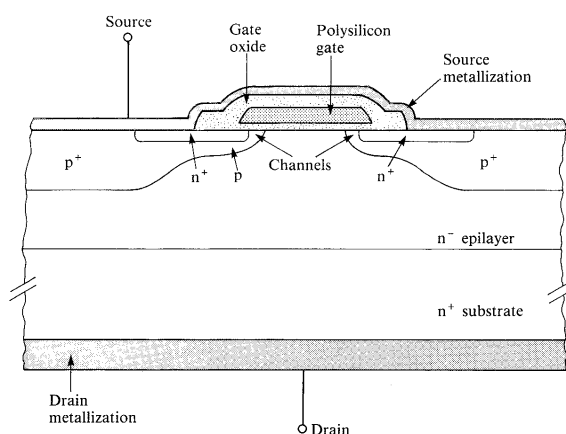


Fig. A.3.28: MOSFET de potencia de estructura vertical VDMOS.

En la actualidad todos los MOSFET de potencia utilizan este tipo de tecnología y se construyen los dispositivos de potencia a partir de infinidad de celdas de MOSFET puestas en paralelo (hasta 80.000 celdas por cm^2). Esto aumenta su capacidad de corriente y reduce su resistencia de canal. Cada fabricante ha patentado su técnica particular y así International Rectifiers los llama HexFET por su geometría, Siemens los llama SIPMOS, RCA los llama TMOS. Todos los MOSFET de potencia son de tecnología DMOS o VMOS.

Es importante tener en cuenta que el éxito de los FET VDMOS es el resultado de la combinación de una serie de características. Estas son: la geometría vertical, el proceso de doble difusión, la puerta de silicio policristalino y la estructura celular a base de celdas.

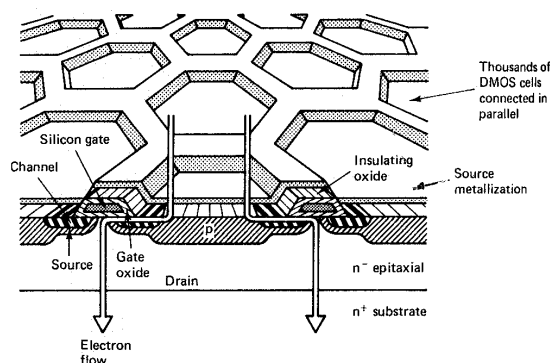


Fig. A.3.29: HexFET de International Rectifiers; obsérvese la estructura de celdas hexagonales en paralelo.

El problema básico de la estructura vertical es la existencia de un BJT parásito que puede llegar a ponerse a ON si existe un dv/dt lo suficientemente grande. El flujo de corriente necesario para cargar la capacidad de la zona de agotamiento de la unión drenador-substrato tipo p (body) actúa como corriente de base para llevar a ON al BJT parásito. El resultado en ese caso es que el BJT queda enclavado y ya no se puede apagar el MOSFET; se pierde el control del MOSFET y éste se destruye.

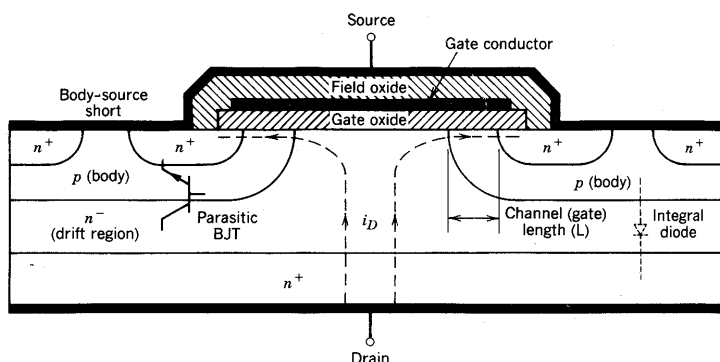


Fig. A.3.30: MOSFET de estructura vertical. Se ha representado deliberadamente el BJT parásito.

Para evitar ese problema en los MOSFET de estructura vertical se conecta directamente el substrato del transistor al surtidor lo que equivale a conectar la base con el emisor del BJT parásito. De esta manera además aparece una unión entre drenador (zona n) y surtidor (zona p) lo que equivale a un diodo. Esta es la razón por la que todos los MOSFET de potencia tienen un diodo en anti paralelo entre drenador y surtidor. Esto impide que el MOSFET sea capaz de bloquear tensiones inversas entre drenador y surtidor.

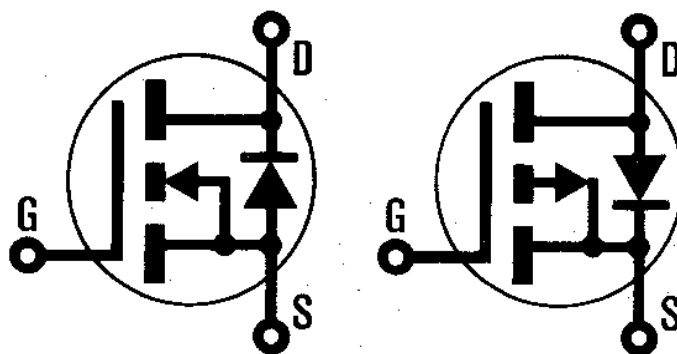


Fig. A.3.31: MOSFET de potencia de canal N y canal P que incluyen el diodo en antiparalelo.

A.3.4.2. EI MESFET

El MESFET es un JFET pero cuya unión es de metal-semiconductor como los diodos Schottky. Este tipo de JFET es preferible si se necesitan canales estrechos de tipo n. Se suele utilizar además como semiconductor el GaAs lo que permite transistores con muy buenas características para altas frecuencias. Los MESFET suelen ser aplicados en microondas y son mejores que los BJT a partir de 4 GHz. Presentan alta ganancia, bajo ruido, mejor eficiencia y mayor impedancia de entrada y propiedades que previenen errores debido a sobrecalentamientos.

A.3.4.3. Otros tipos de transistor: El UJT o transistor monounión

El transistor monounión es un dispositivo de tres terminales formado por una barra de silicio de tipo n poco dopada con dos contactos de base. Las bases se pegan en los extremos de la superficie y se une una barra de material tipo p a la superficie opuesta. La frontera de la barra de tipo p forma una unión p-n entre ésta y el silicio de tipo n. De la unión p-n simple se origina el término "monounión".

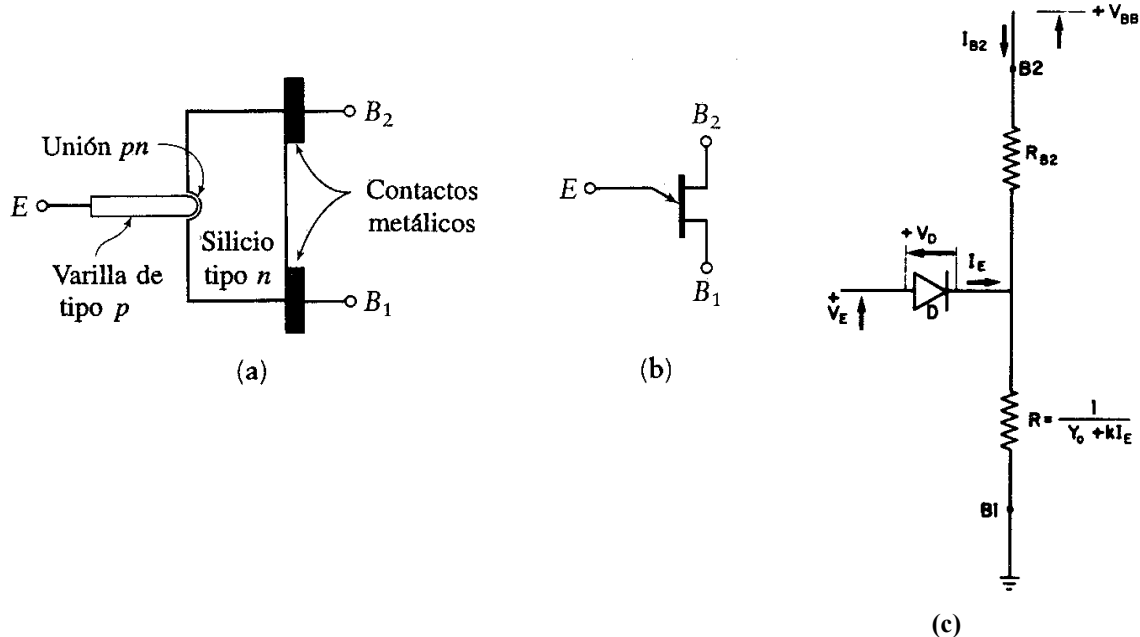


Fig. A.3.32: Transistor monounión o UJT; (a) estructura del UJT, (b) esquema eléctrico del UJT. (c) Modelo analógico del UJT.

El UJT proporciona una región de resistencia negativa en su curva característica.

El comportamiento físico interno del dispositivo se basa en la modulación de la conductividad del material semiconductor entre la unión y la base B1. En funcionamiento estacionario si se aplica una diferencia de potencial positiva V_{BB} entre las bases B1 y B2 de la barra de tipo n, aparece una diferencia de potencial entre la unión y B1 que se representa de forma sencilla como $\eta \cdot V_{BB}$, donde η es menor que la unidad. Si $V_E < \eta \cdot V_{BB}$, la unión p-n de emisor está inversamente polarizada y por el terminal de emisor fluye únicamente una pequeña corriente inversa de pérdidas. Si $V_E > \eta \cdot V_{BB} + V_D$, donde V_D es la caída de tensión en el diodo, la unión se polariza directamente y se produce una inyección de huecos en la barra semiconductor de tipo n. En esta situación un aumento de la conductividad produce una disminución de la resistencia de la barra entre la unión y B1, provocando por tanto una disminución de la tensión en la unión (que pasará a estar por debajo de $\eta \cdot V_{BB}$), con el consiguiente aumento de I_E y de la conductividad al aumentar la inyección de huecos. Así el proceso se repite y es ésta la razón de que se hable de una zona de resistencia incremental negativa en las características de emisor del dispositivo ($dV/dI < 0$) pues la corriente de emisor aumenta mientras V_E disminuye. El proceso termina cuando la conductividad alcanza un valor tal que un incremento de I_E no supone un incremento de dicha conductividad; a esa situación corresponde la región de saturación de las características de emisor ($dV/dI > 0$). En esta zona el transistor se comporta como un simple diodo.

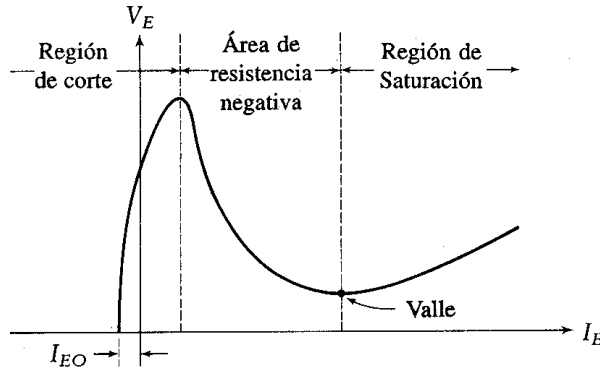


Fig. A.3.33: Curva característica del UJT.

La curva característica del UJT nos muestra que existe una zona de resistencia negativa en la que el transistor además es estable. Esto hace que se suele utilizar como oscilador.

Un ejemplo de utilización del UJT es el oscilador de relajación que se muestra en la siguiente figura. Este circuito es el bloque básico en muchos circuitos osciladores y de sintonía con UJT. Al aplicar la fuente de alimentación V , el condensador C se carga a través de R_3 a una tensión suficientemente grande en emisor como para disparar al UJT a conducción. Esto provoca que la unión E-B1 se polarice directamente y la característica de emisor cae a la región de resistencia incremental negativa. El condensador se descarga a través del emisor, apareciendo un pulso positivo en la salida B1. Cuando se produce la conducción la tensión en B2 disminuye, provocando por tanto un pulso negativo en B2. La frecuencia de los pulsos viene dada aproximadamente por la ecuación:

$$f_o \approx \frac{1,5}{R_3 \cdot C} \tag{A.3.22}$$

A diferencia del tiristor, que veremos más adelante, que se dispara con una corriente de puerta, el UJT se dispara con una tensión.

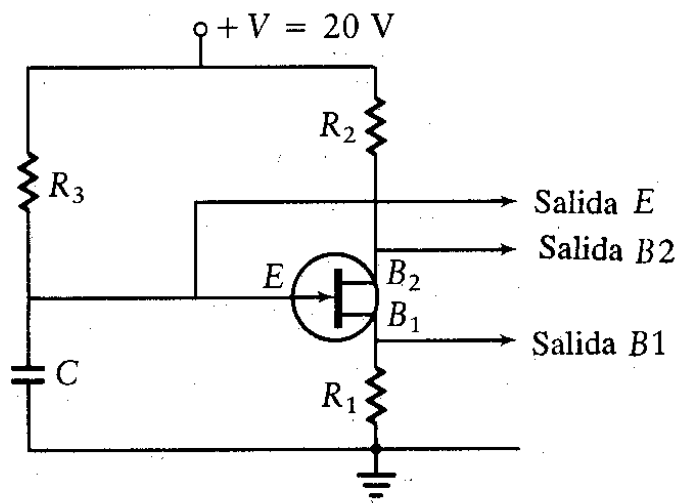


Fig. A.3.34: Oscilador de relajación con UJT.

A.3.5. Análisis del funcionamiento en régimen estático

El transistor FET se caracteriza por una ecuación de transferencia de tipo cuadrática lo que complica algo más la resolución de circuitos. Debido a esto se suele preferir el método gráfico para hallar el punto Q de operación y no se suele utilizar un modelo en régimen estático para resolver el circuito.

A.3.5.1. Circuitos de polarización del transistor

Aunque el JFET es el transistor que más se utiliza en modo lineal y vamos a presentar varios circuitos para polarizarlo correctamente también se podrán aplicar estos circuitos con algunas modificaciones a los otros dos tipos de MOSFET que hemos visto. Estudiaremos cada uno de los circuitos para conocer su estabilidad. Los FET presentan una alta tolerancia en los parámetros dados por el fabricante y existirán valores máximos y mínimos para sus dos valores más característicos que son $V_{GS(OFF)}$ e I_{DSS} . Los FETs que tengan un valor máximo de $V_{GS(OFF)}$ tendrán un valor máximo de I_{DSS} . Lo contrario también es cierto. Estos valores máximos y mínimos servirán para definir la curva de transferencia máxima y la mínima. Estas curvas de transferencia son:

$$I_D = I_{DSS(min)} \left(1 - \frac{|V_{GS}|}{V_{GS(OFF-min)}} \right)^2 \quad (A.3.23)$$

$$I_D = I_{DSS(max)} \left(1 - \frac{|V_{GS}|}{V_{GS(OFF-max)}} \right)^2 \quad (A.3.24)$$

El corte de ambas curvas y la línea de carga define los dos posibles puntos Q extremos.

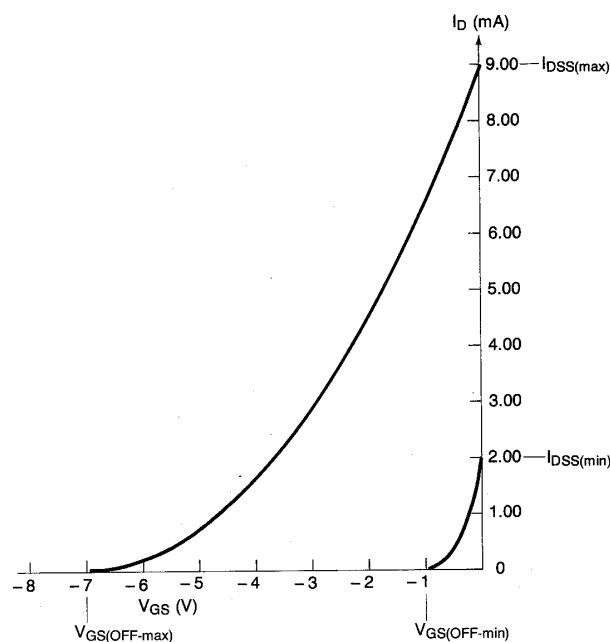


Fig. A.3.35: Curvas de transferencia máxima y mínima del JFET.

A.3.5.1.1. Polarización fija

Para esta polarización fijamos la tensión V_{GS} en el JFET y recordemos que debe ser a un valor negativo. Necesitaremos por tanto una fuente de alimentación de tensión negativa.

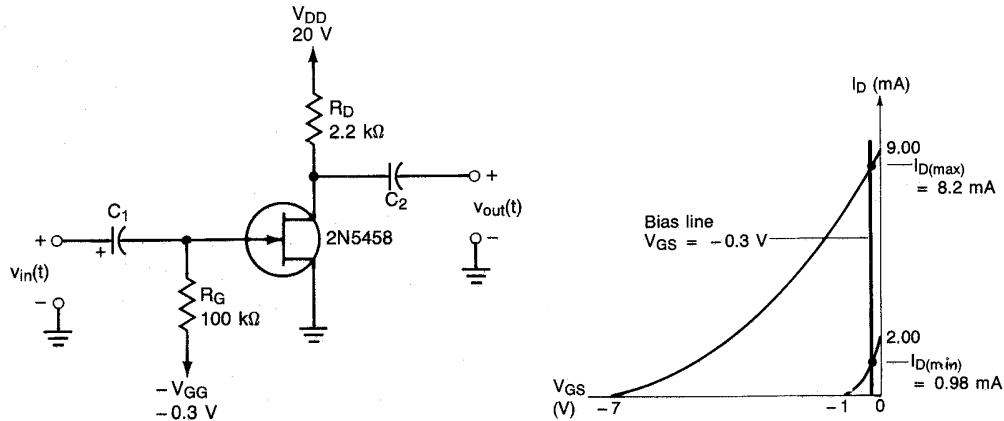


Fig. A.3.36: Polarización fija de un JFET y su recta de carga.

Para el JFET la resolución más sencilla es la gráfica ya que la ecuación característica es de tipo cuadrático. Primero determinamos la ecuación de polarización:

$$V_{GS} = -V_{GG} = -0,3 \text{ V} \tag{A.3.25}$$

Si dibujamos la línea de polarización sobre la característica de transferencia podemos determinar que los dos puntos Q de operación que son $I_{D(\min)} = 0,98 \text{ mA}$ y $I_{D(\max)} = 8,2 \text{ mA}$, lo que indica una variación de un 79%. En consecuencia la polarización fija no compensa las tolerancias en los parámetros del dispositivo por lo que este tipo de polarización no es aceptable para el JFET.

Siguiendo con el análisis del circuito, el valor mínimo de I_D producirá un valor máximo para V_{DS} y el valor máximo de I_D un valor mínimo para V_{DS} :

$$V_{DS(\max)} = V_{DD} - I_{D(\min)} \cdot R_D = 17,8\text{V} \tag{A.3.26}$$

$$V_{DS(\min)} = V_{DD} - I_{D(\max)} \cdot R_D = 1,96\text{V} \tag{A.3.27}$$

A.3.5.1.2. Polarización estabilizada en surtidor

Esta polarización también se llama autopolarización ya que para el JFET la puerta está conectada a tierra y es la tensión del surtidor la que varía debido a la resistencia conectada entre surtidor y tierra.

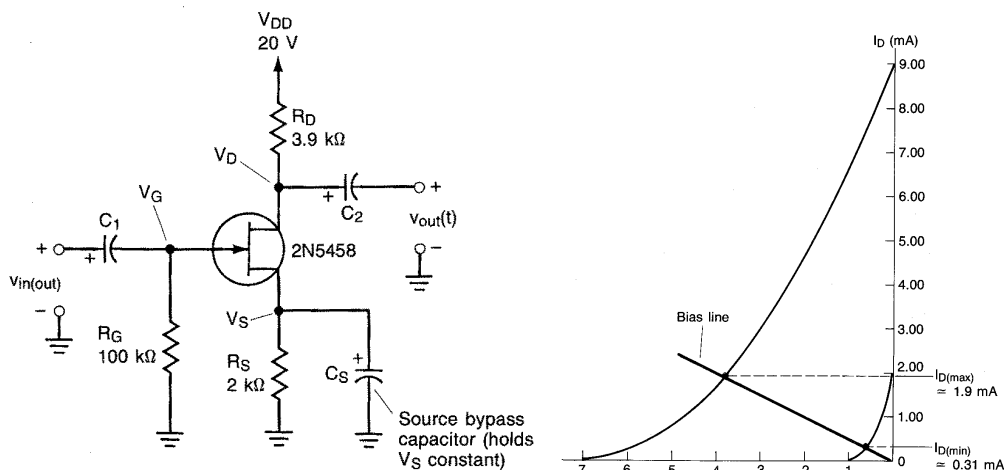


Fig. A.3.37: Polarización estabilizada por surtidor de un JFET y su recta de carga.

Analizando el circuito de entrada:

$$-I_{GSS} \cdot R_G + V_{GS} + I_D R_S = 0 \tag{A.3.28}$$

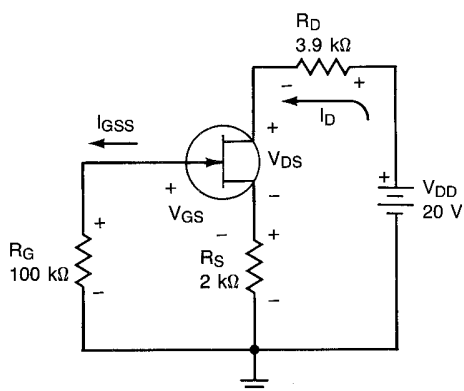


Fig. A.3.38: Circuito de entrada del circuito de polarización estabilizada por surtidor de un JFET.

Podemos suponer que la corriente de pérdidas I_{GSS} produce una caída de tensión despreciable y resolver V_{GS} :

$$V_{GS} = -I_D \cdot R_S \tag{A.3.29}$$

Si ahora dibujamos esa curva sobre las curvas de transferencia máxima y mínima del JFET podemos obtener el rango de posibles valores de I_D , $I_{D(\min)} = 0,31 \text{ mA}$ y $I_{D(\max)} = 1,9 \text{ mA}$. La variación respecto de la media es ahora 72%.

Los dos circuitos vistos hasta ahora presentan unas variaciones inaceptables si queremos una polarización que asegure una reproducción de la señal sin distorsión.

A.3.5.1.3. Polarización realimentando tensión de drenador

Este tipo de polarización no la podemos aplicar a los JFETs ni de canal n ni de canal p pues estos únicamente pueden trabajar en modo de enriquecimiento en valores limitados a pocas décimas de voltio. Así en un JFET de canal n la tensión positiva aplicable a puerta está limitada a un valor máximo del orden de 0,5 V. Sin embargo, la técnica es aplicable a los DE-MOSFET trabajando en modo de enriquecimiento y a los E-MOSFET.

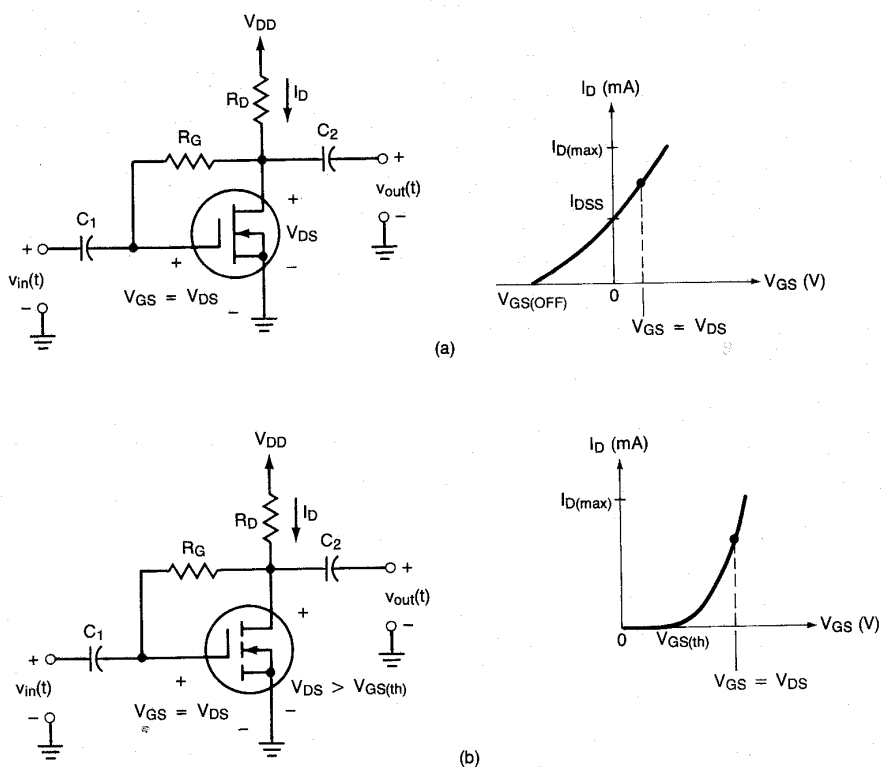


Fig. A.3.39: Polarización de tensión de drenador realimentada aplicada (a) a un DE-MOSFET y (b) a un E-MOSFET y sus rectas de carga respectivas.

Como la corriente que circula por el terminal de puerta es prácticamente cero, no hay caída de tensión en la resistencia R_G y $V_{GS} = V_{DS}$. En consecuencia:

$$V_{GS} = V_{DS} = V_{DD} - I_D \cdot R_D \tag{A.3.30}$$

Sólo indicar que este tipo de polarización nos lleva a una aplicación del MOSFET y es como carga no lineal. Esto se entiende si se tiene en cuenta que con esta polarización tal y como se ha dicho $V_{GS} = V_{DS}$ y sabiendo que la resistencia es dV_{DS}/dI_D , entonces un E-MOSFET con este tipo de conexión se comporta como una resistencia no lineal de valor:

$$R_{no-linealMOSFET} = \frac{dV_{DS}}{dI_D} = \frac{1}{\sqrt{2 \cdot K \cdot I_D}} \tag{A.3.31}$$

que como vemos depende de la corriente. Esta resistencia es sólo aplicable cuando el MOSFET está en la zona activa y no es la resistencia del canal cuando el MOSFET está en la zona óhmica.

A.3.5.1.4. Polarización por divisor de tensión

Este tipo de polarización sí que se puede aplicar a un JFET y se utilizará para mayor comodidad el teorema de Thevenin.

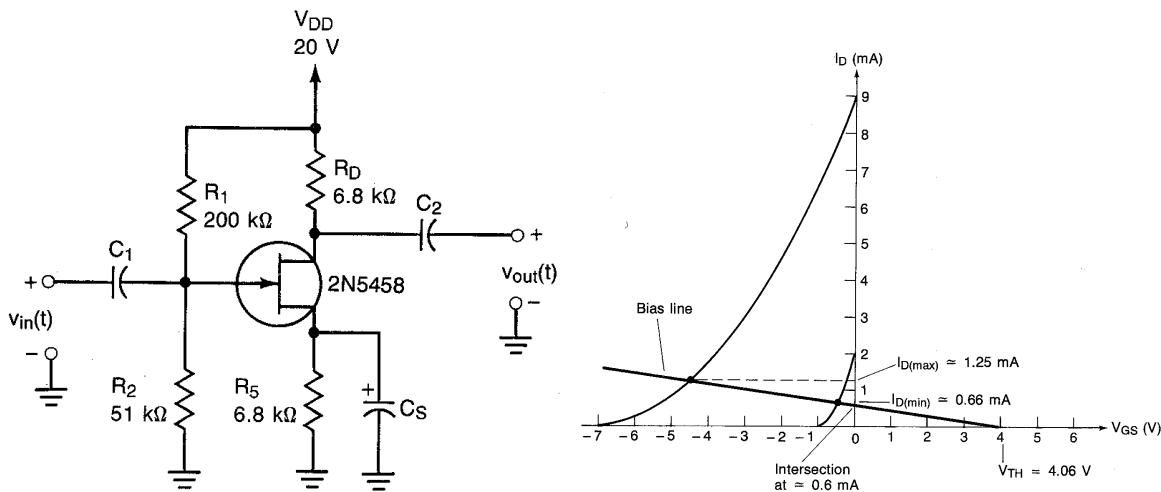


Fig. A.3.40: Polarización por divisor de tensión para un JFET y su recta de carga.

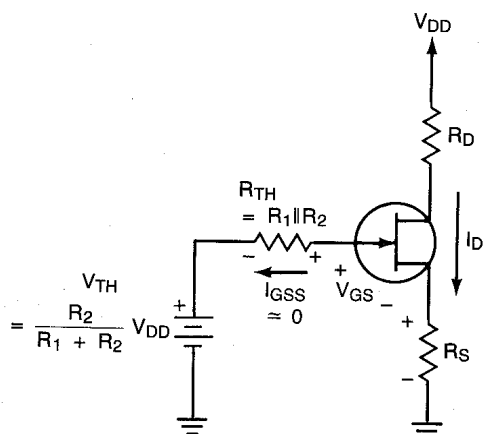


Fig. A.3.41: Circuito equivalente de Thevenin.

Aplicando Thevenin obtenemos:

$$V_{TH} = \frac{R_2}{R_1 + R_2} V_{DD} \tag{A.3.32}$$

$$R_{TH} = R_1 // R_2 \tag{A.3.33}$$

Calculando la corriente en la malla de la puerta obtenemos,

$$V_{GS} = V_{TH} - I_D \cdot R_S \tag{A.3.34}$$

Para dibujar la recta de carga sobre la característica de transferencia, debemos seleccionar dos puntos. Por ejemplo, si hacemos I_D igual a cero, la ecuación se reduce a:

$$V_{GS} = V_{TH} \tag{A.3.35}$$

Haciendo ahora V_{GS} igual a cero podemos obtener la intersección con el eje I_D :

$$I_D = \frac{V_{TH}}{R_S} \tag{A.3.36}$$

Si dibujamos la recta sobre la curva característica del JFET obtenemos los dos puntos de operación que son, $I_{D(\min)} = 0,66 \text{ mA}$ y $I_{D(\max)} = 1,25 \text{ mA}$, lo que corresponde a una variación de sólo un 31% sobre la media. Esta polarización es mejor que las anteriores pero no consigue la estabilidad que presentaba con el BJT.

Siguiendo con el análisis del circuito, el valor mínimo de I_D producirá un valor máximo para V_{DS} y el valor máximo de I_D un valor mínimo para V_{DS} :

$$V_{DS(\max)} = V_{DD} - I_{D(\min)} \cdot (R_D + R_S) = 11,024 \text{ V} \tag{A.3.37}$$

$$V_{DS(\min)} = V_{DD} - I_{D(\max)} \cdot (R_D + R_S) = 3 \text{ V} \tag{A.3.38}$$

A.3.5.1.5. Polarización de surtidor

Esta polarización es la más estable colocando una fuente de corriente en el surtidor que por tanto fija I_D y así el punto Q.

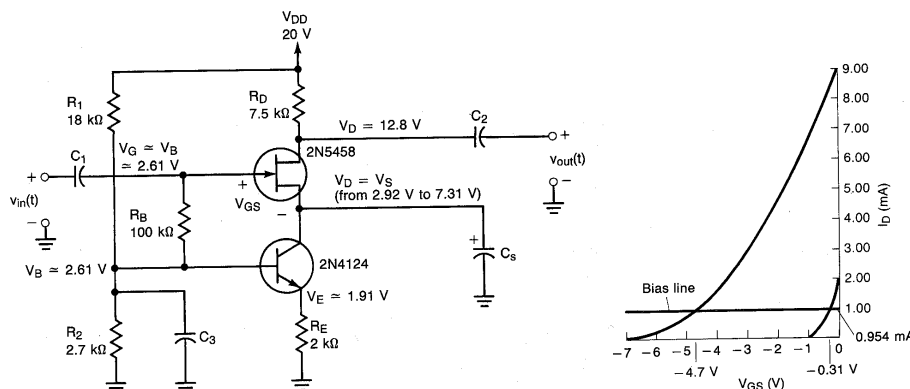


Fig. A.3.42: Polarización de surtidor de un JFET y su recta de carga.

La primera restricción en el esquema de polarización es que la corriente de colector I_C debe ser menor que $I_{DSS(\min)}$ para el FET. Para el ejemplo de la figura $I_{DSS(\min)} = 2 \text{ mA}$ por lo que escogemos $I_C \cong 1 \text{ mA} < 2 \text{ mA}$.

La tensión de base a tierra puede ser aproximada por un simple divisor de tensión R_1 – R_2 . Esta aproximación será buena si la corriente circulante es mucho mayor que la máxima corriente de base. Además, como la puerta maneja una corriente despreciable, la tensión de base a tierra y la tensión de puerta a tierra son aproximadamente iguales:

$$V_B \cong V_G \cong \frac{R_2}{R_1 + R_2} \cdot V_{DD} = 2,61 \text{ V} \quad (\text{A.3.39})$$

La tensión de emisor a tierra:

$$V_E = V_B - 0,7 \text{ V} = 1,91 \text{ V} \quad (\text{A.3.40})$$

La corriente de emisor (que determina las corrientes de colector y drenador) es:

$$I_C = I_D \cong I_E = \frac{V_E}{R_E} = 0,954 \text{ mA} \quad (\text{A.3.41})$$

En la figura se observa la recta de carga. Las intersecciones indican que V_{GS} debe variar entre $V_{GS(\max)} = -0,31 \text{ V}$ y $V_{GS(\min)} = -4,7 \text{ V}$. Esto significa que la tensión en el surtidor del FET deberá ser entre $0,31 \text{ V}$ y $4,7 \text{ V}$ más positiva que en la puerta. En consecuencia:

$$V_{S(\min)} = V_{C(\min)} = V_G + |V_{GS(\max)}| = 2,61 \text{ V} + 0,31 \text{ V} = 2,92 \text{ V} \quad (\text{A.3.42})$$

$$V_{S(\max)} = V_{C(\max)} = V_G + |V_{GS(\min)}| = 2,61 \text{ V} + 4,7 \text{ V} = 7,31 \text{ V} \quad (\text{A.3.43})$$

La tensión en el drenador será:

$$V_D = V_{DD} - I_D \cdot R_D = 12,8 \text{ V} \quad (\text{A.3.44})$$

Por otra parte,

$$V_{CE(\min)} = V_{C(\min)} - V_E = 2,92 \text{ V} - 1,91 \text{ V} = 1,01 \text{ V} > 0,7 \text{ V} \quad (\text{A.3.45})$$

por lo que el BJT no está saturado. Si estuviese saturado el circuito no funcionaría adecuadamente.

Evidentemente con esta polarización el punto Q está totalmente fijado y no varía. Como se ha visto, únicamente se ha de tener en cuenta que el BJT utilizado a modo de fuente de corriente debe estar en régimen lineal y no en saturación para el correcto funcionamiento del circuito.

A.3.6. Análisis del funcionamiento en régimen dinámico

A.3.6.1. El transistor en régimen de pequeña señal

A continuación vamos a presentar los modelos utilizados para analizar circuitos con transistores FET en régimen dinámico y en concreto en régimen de pequeña señal. Debemos resaltar con respecto a la utilización práctica del JFET que en comparación con el transistor BJT, la ganancia en tensión obtenida con amplificadores basados en transistores JFET es menor que la de los transistores BJT. Esto es debido a que la transconductancia g_m de los JFET es generalmente mucho menor que la de los transistores BJT.

Los modelos utilizados para el análisis de circuitos con FET son los mismos ya descritos para el transistor bipolar de unión. Se utilizará el modelo de parámetros Y para circuitos de radiofrecuencia y se podrá utilizar el modelo de parámetros híbridos en π que como ya vimos tiene la ventaja de no depender de la configuración utilizada. Los subíndices para los parámetros Y siguen la misma notación que los ya introducidos para el transistor bipolar pero sustituyendo e por s, c por d y b por g. Todos los parámetros dependerán del punto Q de operación del transistor. Añadir además que el modelo de parámetros Y es el preferido por los fabricantes.

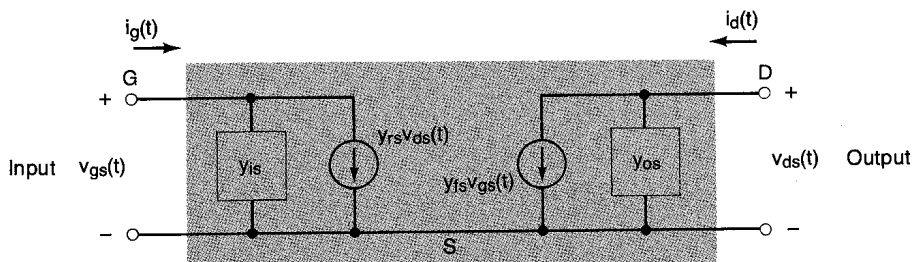


Fig. A.3.43: Modelos de pequeña señal de parámetros Y o admitancias del FET.

A.3.6.1.1. Modelo de parámetros híbridos en π

El modelo de parámetros híbridos del FET tiene los mismos elementos que el ya visto para el BJT.

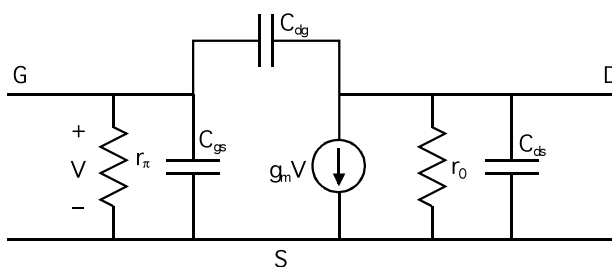


Fig. A.3.44: Modelo híbrido en π del FET.

No hay duda de que el FET es un dispositivo controlado por tensión y por tanto debemos caracterizar su transconductancia, g_m , que hace referencia a su ganancia. Por definición,

$$g_m = \frac{dI_D}{dV_{GS}} \quad (\text{A.3.46})$$

Conociendo la expresión que describe I_D en función de V_{GS} podemos obtener la de g_m . Como para cada FET la expresión es algo diferente, calcularemos la transconductancia para cada uno de ellos por separado.

La transconductancia del JFET (y DE-MOSFET con $V_{GS(th)}$ en lugar de $V_{GS(OFF)}$) será,

$$g_m = \frac{2I_{DSS}}{|V_{GS(OFF)}|} \left[1 - \frac{|V_{GS}|}{|V_{GS(OFF)}|} \right] \quad (\text{A.3.47})$$

donde si sustituimos la ecuación de transferencia en vez de los corchetes de la anterior expresión, llegamos a que,

$$g_m = \frac{2I_{DSS}}{|V_{GS(OFF)}|} \sqrt{\frac{I_D}{I_{DSS}}} \quad (\text{A.3.48})$$

Falta aclarar que los fabricantes suelen dar como dato la transconductancia del JFET para $V_{GS} = 0$, g_{m0} . Aplicando este dato a la expresión anterior,

$$g_{m0} = \frac{2I_{DSS}}{|V_{GS(OFF)}|} \quad (\text{A.3.49})$$

Por lo que podemos simplificar la expresión de g_m ,

$$g_m = g_{m0} \sqrt{\frac{I_D}{I_{DSS}}} \quad (\text{A.3.50})$$

Como ya hemos explicado, los fabricantes suelen preferir los parámetros Y a la transconductancia. En el modelo en Y la transconductancia se llama y_{fs} en configuración surtidor común que es la que coincide con el modelo híbrido en π . Sólo hay que tener en cuenta que la admitancia y_{fs} es compleja e incluye una componente imaginaria que representa el comportamiento reactivo. A media frecuencia podemos sin embargo aproximar $|y_{fs}|$ por g_m . La expresión compleja de la admitancia y_{fs} es,

$$y_{fs} = g_{fs} + j b_{fs} \quad (\text{A.3.51})$$

y a media frecuencia se puede despreciar b_{fs} ,

$$|y_{fs}| \approx g_{fs} = g_m \quad (\text{A.3.52})$$

Para el E-MOSFET aplicaremos su ecuación de transferencia para obtener g_m .

$$g_m = K [V_{GS} - V_{GS(th)}] \quad (A.3.53)$$

Sustituyendo de nuevo la ecuación de transferencia para simplificar V_{GS} , obtenemos

$$g_m = \sqrt{2KI_D} \quad (A.3.54)$$

Para los MOSFET de inducción los fabricantes suelen suministrar un valor de g_m para una corriente de drenador I_D determinada. Como generalmente deberemos conocer g_m en otro punto Q de operación debemos relacionar ambos. Combinando la ecuación anterior para ambos puntos de operación, el conocido y el buscado,

$$g_{m2} = g_{m1} \sqrt{\frac{I_{D2}}{I_{D1}}} \quad (A.3.55)$$

El siguiente parámetro a definir es la resistencia de entrada. La resistencia de entrada es tan alta que la supondremos un circuito abierto sin que con ello incurramos en un error apreciable. Recordemos que será o una unión p-n inversamente polarizada o una capacidad con dieléctrico SiO_2 .

$$r_\pi \rightarrow \infty \Omega \quad (A.3.56)$$

Por último nos queda por determinar la impedancia de salida del FET. Cuando el JFET y el DE-MOSFET están en la zona activa, si se aplica una tensión V_{DS} determinada, la corriente I_D se ve afectada aunque teóricamente no debiera. Esto se debe a que la zona de agotamiento cubre más parte del canal o menos conforme modificamos V_{DS} , lo que modifica la resistencia del canal.

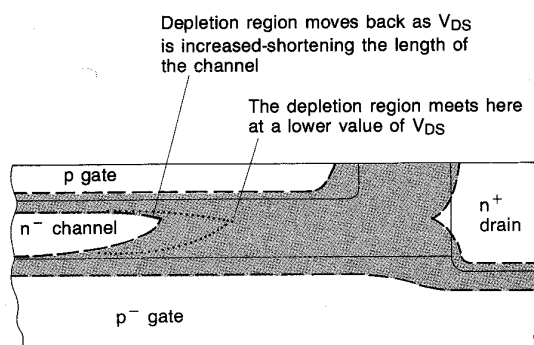


Fig. A.3.45: Disminución de la longitud del canal con V_{DS} en un JFET, lo que implica una reducción de la resistencia del canal.

El resultado es la existencia de una tensión equivalente a la de Early en el comportamiento del FET. Esto a su vez se puede relacionar con la impedancia de salida del FET, r_0 . El valor de r_0 equivale aproximadamente a la admitancia de salida $|y_{os}|$. No se debe olvidar que y_{os} depende del punto de operación por lo que se debe relacionar la que da el fabricante para un punto Q determinado con la que nosotros necesitemos (nuestro punto Q no tiene por que ser el mismo que el del fabricante). Esto se hará a través de la tensión de Early

lo que no deja de ser una aproximación muy burda. Si el fabricante nos proporciona una gráfica de g_{os} en función de I_D , ésta debería ser utilizada preferiblemente.

$$r_0 = \frac{1}{g_{os}} \approx \frac{1}{|y_{os}|} \quad (\text{A.3.57})$$

La expresión compleja de la admitancia y_{os} es,

$$y_{os} = g_{os} + j b_{os} \quad (\text{A.3.58})$$

y a media frecuencia se puede despreciar b_{os} ,

$$|y_{os}| \approx g_{os} \quad (\text{A.3.59})$$

Por último recordar que las capacidades parásitas del modelo ya se han descrito en un apartado anterior.

A.3.6.2. El transistor en régimen de gran señal

A.3.6.2.1. El transistor en régimen de conmutación

El uso más frecuente de los transistores FET es en conmutación y en concreto es el E-MOSFET el más utilizado. Las dos aplicaciones más comunes son circuitos lógicos de tecnología CMOS, muy utilizados debido a su bajo consumo y en circuitos de potencia donde se aplican los MOSFET de estructura vertical. En ambas aplicaciones el transistor funciona en régimen de conmutación pasando de la zona de corte directamente a la óhmica y haciendo la función de un interruptor. El MOSFET no sufre problemas como la concentración de corriente o segunda ruptura y sólo hay que considerar las limitaciones de $V_{DS(max)}$ y $V_{GS(max)}$, siendo ésta última de sólo unas pocas decenas de voltios.

El MOSFET es el componente preferido por los diseñadores frente al BJT para este tipo de aplicaciones.